

25.10.2004

日本国特許庁
JAPAN PATENT OFFICE

REC'D 18 NOV 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月26日
Date of Application:

出願番号 特願2003-434029
Application Number:
[ST. 10/C]: [JP 2003-434029]

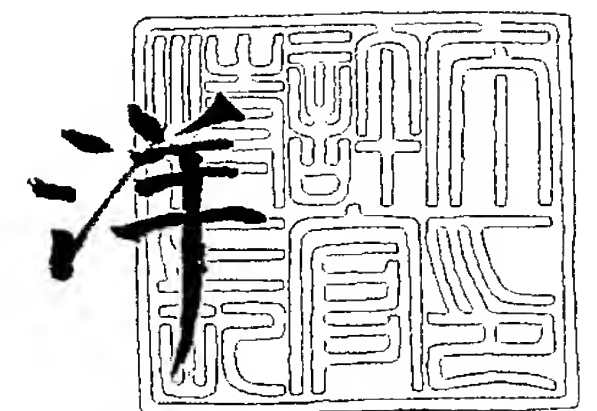
出願人 日本電気株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 8月27日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 34601870
【提出日】 平成15年12月26日
【あて先】 特許庁長官 殿
【国際特許分類】 H01S 5/00
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 小田 三紀雄
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 高橋 久弥
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 中野 嘉一郎
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 古宇田 光
【発明者】
 【住所又は居所】 神奈川県横浜市緑区長津田 4 2 5 9 東京工業大学 精密工学研
 究所内
 【氏名】 小林 功郎
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【代理人】
 【識別番号】 100123788
 【弁理士】
 【氏名又は名称】 宮崎 昭夫
 【電話番号】 03-3585-1882
【選任した代理人】
 【識別番号】 100088328
 【弁理士】
 【氏名又は名称】 金田 暢之
【選任した代理人】
 【識別番号】 100106297
 【弁理士】
 【氏名又は名称】 伊藤 克博
【選任した代理人】
 【識別番号】 100106138
 【弁理士】
 【氏名又は名称】 石橋 政幸
【手数料の表示】
 【予納台帳番号】 201087
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0304683

【書類名】 特許請求の範囲**【請求項 1】**

半導体集積回路に入出力される電気信号を光信号に変換する 2 以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路であって、

前記 2 以上の光素子の高さが同一である光素子一体型半導体集積回路。

【請求項 2】

前記 2 以上の光素子は 2 以上の群に分けられており、同一の群に属する光素子同士の高さは同一であるが、異なる群に属する光素子同士の高さは異なる請求項 1 記載の光素子一体型半導体集積回路。

【請求項 3】

前記 2 以上の光素子の一部を前記半導体集積回路に固定している半田の融点と、他の光素子を前記半導体集積回路に固定している半田の融点とが異なる請求項 1 又は請求項 2 記載の光素子一体型半導体集積回路。

【請求項 4】

不規則に配列された 2 以上の電気信号出力ポートを有する半導体集積回路と、

前記半導体集積回路の各電気信号出力ポートに接続され、対応する電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する 2 以上の発光素子とを有し、

前記電気信号出力ポートに接続されている前記 2 以上の発光素子は、発光面の高さが互いに同一である光素子一体型半導体集積回路。

【請求項 5】

不規則に配列された 2 以上の電気信号入力ポートを有する半導体集積回路と、

前記半導体集積回路の各電気信号入力ポートに接続され、外部から入力された光信号を電気信号に変換して対応する電気信号入力ポートへ出力する 2 以上の受光素子とを有し、

前記電気信号入力ポートに接続されている前記 2 以上の受光素子は、受光面の高さが互いに同一である光素子一体型半導体集積回路。

【請求項 6】

不規則に配列された 2 以上の電気信号出力ポートと、電気信号入力ポートとを有する半導体集積回路と、

前記半導体集積回路の各電気信号出力ポートに接続され、対応する電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する 2 以上の発光素子と、

前記半導体集積回路の各電気信号入力ポートに接続され、外部から入力された光信号を電気信号に変換して対応する電気信号入力ポートへ出力する 2 以上の受光素子とを有し、

前記電気信号出力ポートに接続されている前記 2 以上の発光素子は、発光面の高さが互いに同一であり、

前記電気信号入力ポートに接続されている前記 2 以上の受光素子は、受光面の高さが互いに同一である光素子一体型半導体集積回路。

【請求項 7】

前記電気信号出力ポートに接続されている前記発光素子の前記発光面の高さと、前記電気信号入力ポートに接続されている前記受光素子の前記受光面の高さとが互いに同一である請求項 6 記載の光素子一体型半導体集積回路。

【請求項 8】

前記発光素子を前記半導体集積回路に固定している半田の融点と、前記受光素子を前記半導体集積回路に固定している半田の融点とが異なる請求項 6 又は請求項 7 記載の光素子一体型半導体集積回路。

【請求項 9】

前記発光素子の少なくとも 1 つには、発光面から出射された光を収束せる光学素子が設けられている請求項 4、請求項 6 ～請求項 8 のいずれかに記載の光素子一体型半導体集積回路。

【請求項 10】

前記受光素子の少なくとも 1 つには、外部から入力された光を前記受光面に向けて収束

させる光学素子が設けられている請求項 5～請求項 8 のいずれかに記載の光素子一体型半導体集積回路。

【請求項 1 1】

前記 2 以上の発光素子又は受光素子が電極パターンを共有している請求項 4～請求項 1 2 のいずれかに記載の光素子一体型半導体集積回路。

【請求項 1 2】

半導体集積回路に入出力される電気信号を光信号に変換する 2 以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路の製造方法であって、

素子基板に 2 以上の光素子が形成されてなる光素子アレイのうち、必要な光素子にバンパを形成する工程と、

前記バンパを用いて前記光素子アレイを前記半導体集積回路に実装して、前記必要な光素子を前記半導体集積回路に接続させる工程と、

前記半導体集積回路に接続された前記必要な光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な光素子を前記光素子アレイから除去する工程と、

前記保護膜を除去する工程と、

からなる光素子実装工程を含む光素子一体型半導体集積回路の製造方法。

【請求項 1 3】

半導体集積回路に入出力される電気信号を光信号に変換する 2 以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路の製造方法であって、

素子基板に 2 以上の光素子が形成されてなる光素子アレイのうち、必要な光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な光素子の機能部を除去する工程と、

前記保護膜を除去する工程と、

前記不必要な光素子の機能部が除去された前記光素子アレイを前記半導体集積回路に実装し、前記必要な光素子を前記半導体集積回路に接続させる工程と、

からなる光素子実装工程を含む光素子一体型半導体集積回路の製造方法。

【請求項 1 4】

半導体集積回路に入出力される電気信号を光信号に変換する 2 以上の光素子が前記半導体集積回路に実装されてなる光素子一体型半導体集積回路の製造方法であって、

素子基板に 2 以上の光素子が形成されてなる光素子アレイのうち、必要な光素子にバンパを形成する工程と、

前記バンパを用いて前記光素子アレイを前記半導体集積回路に実装して、前記必要な光素子を前記半導体集積回路に接続させる工程と、

前記半導体集積回路に接続された前記必要な光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な光素子を前記光素子アレイから除去する工程と、

前記保護膜を除去する工程と、からなる第 1 の光素子実装工程と、

素子基板に 2 以上の光素子が形成されてなる光素子アレイのうち、必要な光素子を保護膜で被覆する工程と、

前記保護膜によって被覆されていない不必要な光素子の機能部を除去する工程と、

前記保護膜を除去する工程と、

前記不必要な光素子の機能部が除去された前記光素子アレイを前記半導体集積回路に実装し、前記必要な光素子を前記半導体集積回路に接続させる工程と、からなる第 2 の光素子実装工程と、

を含む光素子一体型半導体集積回路の製造方法。

【請求項 1 5】

前記第 1 又は第 2 の光素子実装工程のいずれか一方によって発光素子を前記半導体集積回路に実装し、他方の光素子実装工程によって受光素子を前記半導体集積回路に実装する請求項 1 4 記載の光素子一体型半導体集積回路の製造方法。

【請求項 1 6】

前記素子基板をエッチングして薄膜化する工程を含む請求項 1 2 ～請求項 1 5 のいずれかに記載の光素子一体型半導体集積回路の製造方法。

【請求項 1 7】

前記素子基板をエッチングしてレンズ化する工程を含む請求項 1 2 ～請求項 1 6 のいずれかに記載の光素子一体型半導体集積回路の製造方法。

【書類名】 明細書

【発明の名称】 光素子一体型半導体集積回路及びその製造方法

【技術分野】

【0 0 0 1】

本発明は、半導体集積回路（以下、「L S I」と呼ぶ場合もある）と、その製造方法に関するものである。

【背景技術】

【0 0 0 2】

L S I の処理速度の高速化はますます進展しているが、複数の L S I 間を結ぶ電気配線の伝送能力には限界があると考えられている。そこで、高速伝送、長距離伝送が可能な上、電磁波ノイズの放射が少ないといった優位性を有する光信号を用いた伝送が注目されている。例えば、ある L S I から出力された電気信号を光信号に変換して光配線で伝送し、他の L S I に入力する前に電気信号に再変換すれば、電気信号のみを用いる場合に比べてより高速な伝送が可能になると考えられている。

【0 0 0 3】

特許文献 1 には、電気配線によって接続された光素子と L S I とが同一パッケージ内に集積された光電子集積素子が開示されている。この光電子集積素子では、ベースプレート上に電子集積素子ベアチップが固定され、そのベアチップに近接して配線手段を挟んで光素子が固定されている。ここで光素子は、面発光レーザアレイ、又は受光素子アレイであって、インナーリード上、又は電子集積素子に直接実装されている。また、電子集積素子の入出力ポートは、電子集積素子の周辺部にそれぞれ纏められており、入力ポートに対応して受光素子アレイが搭載され、出力ポートに対応して面発光レーザが搭載されている。より具体的には、電子集積素子に光素子が直接実装された形態では、光素子のパッドがそのパッドの配列に対応させた電子集積素子の入出力ポートに電気接続されている。また、電子集積素子と光素子とがインナーリードによって電気接続された形態では、電子集積素子が搭載されるパッドと、光素子アレイが搭載されるパッド（光素子アレイを搭載するために、光素子アレイのパッド配置に合わせてある）とを 1 対 1 で対応させたインナーリードを用いて電気接続している。

【0 0 0 4】

特許文献 2 には、L S I の周辺部に纏められた複数の入力ポートに対応して受光素子アレイが配置され、複数の出力ポートに対応して発光素子アレイが配置された半導体装置が開示されている。また、特許文献 2 には、L S I、発光素子、受光素子などを個別に平面的に並べて基板に実装していたために、L S I の入出力を光に変換する部分が大型化するという課題を解決するとの目的が記載されている。さらに、特許文献 2 には、L S I チップに受光素子アレイ及び発光素子アレイを直接実装することによって、L S I の入出力を光に変換する部分の小型化が可能であるとも記載されている。

【特許文献 1】 特開 2 0 0 0 1 - 3 6 1 9 7 号公報

【特許文献 2】 特開 2 0 0 0 - 3 3 2 3 0 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

しかしながら、上記特許文献 1 や特許文献 2 等が開示されている従来技術は、L S I の入出力ポートが該 L S I の周辺部において一定方向に並んで配置されていることを前提とした技術である。従って、L S I の入出力ポートが複数存在し、しかも、それら入出力ポートがランダム（不規則）に配置されている場合には、1 チャンネルの受光素子及び発光素子を目的の数だけ用意し、それら素子を L S I の入出力ポートの位置に合わせて 1 つずつ実装しなくてはならない。しかし、複数の光素子を 1 つずつ実装すると、各光素子の受光面や発光面の高さが不揃いとなり、外部機器との光結合において損失が大きくなる。また、光素子の実装に長時間を要し、高コスト化を招くことにもなる。

【0 0 0 6】

本発明の目的は、ランダムに配置された L S I の入力ポートのそれぞれに受光素子が設けられ、同じくランダムに配置された L S I の出力ポートのそれぞれに発光素子が設けられ、しかも、それら受光素子や発光素子の受光面や発光面の高さが揃っている光素子一体型半導体集積回路と、その製造方法を提供することにある。

【課題を解決するための手段】

【0 0 0 7】

上記目的を達成するための本発明の光素子一体型 L S I は、半導体集積回路に入出力される電気信号を光信号に変換する 2 以上の光素子が半導体集積回路に実装され、それら 2 以上の光素子の高さが同一とされている。この場合、2 以上の光素子は、半導体集積回路の電気信号出力ポートから出力された電気信号を光信号に変換して外部に出力する発光素子、又は、外部から入力された光信号を電気信号に変換して半導体集積回路の電気信号入力ポートへ出力する受光素子、又は、それら発光素子と受光素子の組み合わせとすることができる。この場合、発光素子の高さとは、発光素子が実装されている半導体集積回路の表面（実装面）から、その発光素子の発光面までの距離を意味する。また、受光素子の高さが同一とは、受光素子が実装されている半導体集積回路の表面（実装面）から、その受光素子の受光面まで距離を意味する。

【0 0 0 8】

さらに、2 以上の光素子が発光素子と受光素子の組み合わせである場合には、2 以上の発光素子と、2 以上の受光素子の高さをそれぞれ同一に揃え、発光素子と受光素子の高さを異ならせることができる。もちろん、全ての発光素子と受光素子の高さを揃えることもできるし、一部の発光素子と受光素子の高さを揃えることもできる。

【0 0 0 9】

また、半導体集積回路に実装される 2 以上の光素子を 2 以上の群に分け、各群に属する光素子の高さを同一に揃えると共に、異なる群に属する光素子の高さを異ならせることもできる。ここでも、2 以上の光素子は、上記発光素子、又は受光素子、又は発光素子と受光素子の組み合わせとすることができる。

【0 0 1 0】

また、半導体集積回路に実装される 2 以上の光素子には、入射した光を収束させる機能を有する光学素子（例えばレンズ）を設けることもできる。

【0 0 1 1】

また、半導体集積回路に実装される 2 以上の光素子の全部又は一部を電氣的に導通させたり、逆に、各光素子を電氣的に独立させたりすることもできる。

【0 0 1 2】

また、2 以上の光素子を半導体集積回路に固定するために半田を用いる場合には、融点異なる 2 種以上の半田を使い分けることができる。この際、実装される光素子の種類や上記群に応じて融点異なる半田を使い分けることができる。

【0 0 1 3】

上記目的を達成する本発明の光素子一体型 L S I の製造方法の一つは、素子基板に 2 以上の光素子が形成されてなる光素子アレイのうち、必要な光素子にバンプを形成する工程と、そのバンプを用いて光素子アレイを半導体集積回路に実装して、必要な光素子を半導体集積回路に接続させる工程と、半導体集積回路に接続された必要な光素子を保護膜で被覆する工程と、保護膜によって被覆されていない不必要な光素子を光素子アレイから除去する工程と、保護膜を除去する工程と、からなる光素子実装工程を含んでいる。

【0 0 1 4】

また、本発明の光素子一体型 L S I の製造方法の他の一つは、素子基板に 2 以上の光素子が形成されてなる光素子アレイのうち、必要な光素子を保護膜で被覆する工程と、保護膜によって被覆されていない不必要な光素子の機能部を除去する工程と、保護膜を除去する工程と、不必要な光素子の機能部が除去された光素子アレイを半導体集積回路に実装し、必要な光素子を半導体集積回路に接続させる工程と、からなる光素子実装工程を含んでいる。

【0 0 1 5】

さらに、本発明の光素子一体型 L S I の製造方法の他の一つは、上記 2 種類の光素子実装工程のいずれか一方によって発光素子を実装し、他方によって受光素子を実装する。

【0 0 1 6】

本発明の光素子一体型 L S I の製造方法には、素子基板をエッチングして薄膜化する工程や素子基板をエッチングしてレンズ化する工程を含めることができる。

【発明の効果】

【0 0 1 7】

上記構成を有する本発明の光素子一体型 L S I 及びその製造方法によれば、次のような効果を得ることができる。すなわち、L S I に複数の入出力ポートが存在し、かつ、それら入出力ポートが特定の領域に規則的に配置されておらず、様々な位置に不規則に配置されている場合であっても、各入力ポートに同一高さの受光素子を実装され、各出力ポートには同一高さの発光素子を実装された光素子一体型 L S I を提供することができる。この光素子一体型 L S I は、複数の光回路、例えば光ファイバや光導波路と光結合させることによって、高速、長距離かつ耐ノイズ性に優れた伝送を実現可能なばかりでなく、このような利用環境において、受発光素子が光結合すべき光回路の結合部の高さを揃えておくことによって、全て光素子のチャンネルについて高効率な光結合が実現されるという効果が得られる。さらには、全チャンネルで高効率な光結合が実現されることによって、光信号の強度を有効に使えるため、伝送可能距離のさらなる長距離化が可能になるといった効果が得られる。あるいは近距離の光伝送であっても、光結合効率が高いため、より高強度のまま光信号を伝送できるため、さらに耐ノイズ性が向上するといった効果が得られる。

【0 0 1 8】

また、複数の光素子が一括して実装されているので、複数の光素子を 1 つずつ個別に順々に実装していく場合に比べて製造工程が少なくなり、低コスト化が図られる。かかる効果は実装される光素子の個数が多くなればなるほど、顕著なものとなる

【発明を実施するための最良の形態】

【0 0 1 9】

(実施形態 1)

以下、本発明の光素子一体型半導体集積回路（以下「光素子一体型 L S I」と呼ぶ場合もある）の一例を図面に基づいて詳細に説明する。図 1 (a) は、本例の光素子一体型 L S I の構造概略を示す模式的平面図であり、(b) は模式的断面図である。本例の光素子一体型 L S I では、L S I 1 の電気信号出力ポート（不図示）に発光素子 2 a が半田バンプ 3 によって電気接続されている。上記電気信号出力ポートは複数存在し、それら電気信号出力ポートは様々な位置にランダムに配置されており、各電気信号出力ポートに対して発光素子 2 a が実装されている。発光素子 2 a には、L S I 1 の裏面側（図 1 (b) の下方）に光を出力可能なものが用いられている。従って、電気信号出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子 2 a に入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。

【0 0 2 0】

図 2 (a) ～ (d) に、図 1 (a)、(b) に示す光素子一体型 L S I の製造方法を示す。ここでは、電気信号出力ポートが 8 つある L S I 1 を例にとって製造方法を説明するが、電気信号出力ポートの数が異なるときは、発光素子の数を適宜増減すればよい。

【0 0 2 1】

図 2 (a) に示すように、素子基板上に発光素子 2 a が 4 × 4 で配置された発光素子アレイ 2 を用意する。発光素子アレイ 2 を構成する複数の発光素子 2 a のうち、必要な発光素子 2 a のパッドに半田バンプ 3 を形成し、形成された半田バンプ 3 を用いて発光素子アレイ 2 と L S I 1 とを電気接続する。ここで、必要な発光素子 2 a とは、L S I 1 の電気信号出力ポートに実装することを意図する発光素子 2 a を意味する。従って、L S I 1 の電気信号出力ポートに実装されない発光素子 2 a は、L S I 1 の上に載せられてはいるが、L S I 1 に電気接続されてはいない。

【0022】

次に、図2(b)に示すように、発光素子アレイ2のうち、必要な発光素子2aのみを覆うように保護膜4を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜4を用いた。

【0023】

次に、図2(c)に示すように、不要な発光素子2aをエッチングによって除去する。その後、図2(d)に示すように、保護膜4を除去する。

【0024】

以上の工程によって、LSI1の任意の位置に配置された複数の電気信号出力ポートに発光素子2aがそれぞれ実装された光素子一体型LSIが製造される。本例の製造方法では、複数の発光素子2aからなる発光素子アレイ2をLSI1に搭載した後、必要な発光素子2aを残し、不要な発光素子2aを除去するので、LSI1の複数の電気信号出力ポートがランダムに配置されていても、全ての電気信号出力ポートに発光素子2aを一括して実装できる。従って、発光素子2aの実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ2を構成する複数の発光素子2aは、予め発光面の高さが揃えられているので、LSI1の各電気信号出力ポートに実装された発光素子2aの発光面は全て同一の高さとなる。ここで、光素子一体型LSIを光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、LSI1に実装されている複数の発光素子2aの高さが一定であるということは、各発光素子2aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子2aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子2aからの出射光の大部分を光回路に入射させることができるため、より遠方まで光信号を伝送できたり、また短距離の伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。尚、ここでは一つの製造方法について説明したが、以下で述べる別の製造方法を用いて本発明の光素子一体型LSIを製造することもでき、その場合も上記と同様の作用効果が得られる。

【0025】

(実施形態2)

以下、本発明の光素子一体型LSIの他例を図面に基づいて詳細に説明する。図3は、本例の光素子一体型LSIの構造概略を示す模式的平面図であり、(b)は模式的断面図である。本例の光素子一体型LSIでは、LSI1の電気信号入力ポート(不図示)に受光素子5aが半田バンプ3によって電気接続されている。上記電気信号入力ポートは複数存在し、それら電気信号入力ポートは様々な位置にランダムに配置されており、各電気信号入力ポートに対して受光素子5aが実装されている。受光素子5aには、LSI1の裏面側(図3(b)の下方)から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子5aによって電気信号に変換され、オンオフの電気信号として電気信号入力ポートに出力される。

【0026】

図4(a)～(e)に、図3(a)、(b)に示す光素子一体型LSIの製造方法を示す。ここでは、電気信号入力ポートが8つあるLSI1を例にとって製造方法を説明するが、電気信号入力ポートの数が異なるときは、受光素子の数を適宜増減すればよい。

【0027】

まず、図4(a)に示すように、素子基板7上に受光素子5aが4×4で配置された受光素子アレイ5を用意する。次に図4(b)に示すように、受光素子アレイ5を構成する複数の受光素子5aのうち、必要な受光素子5aのみを覆うように保護膜4を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜4を用いた。ここで、必要な受光素子5aとは、後にLSI1の電気信号入力ポートに実装することを意図する受光素子5aを意味する。

【0028】

次に図4(c)に示すように、不要な受光素子5aをエッチングにより除去する。但し、このエッチング工程では、不要な受光素子5aの表面の機能部(光信号を受光し、受光した光信号を電気信号に変換して出力する機能を果たすために必要な部分)6のみをエッチングし、素子基板7はエッチングしないようにする。これは複数の受光素子5a全体の支持部として素子基板7を利用するためである。

【0029】

次に、保護膜4を除去することによって、必要な受光素子5aのみが機能部6を有する受光素子アレイ5を得る。その後、図4(d)に示すように、機能部6を有する各受光素子5aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて必要な受光素子5aとLSI1とを電気接続する。

【0030】

以上の工程によって、LSI1の任意の位置に配置された複数の電気信号入力ポートに受光素子5aがそれぞれ実装された光素子一体型LSIが製造される。本例の製造方法では、不要な受光素子5aの機能部6が予め除去された受光素子アレイ5をLSI1に搭載し、その後、必要な受光素子5aとLSI1の電気信号入力ポートとを電気接続する。従って、LSI1の複数の電気信号入力ポートがランダムに配置されていても、全ての電気信号入力ポートに受光素子5aを一括して実装できる。この結果、受光素子5aの実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ5を構成する複数の受光素子5aは、予め受光面の高さが揃えられているので、LSI1の各電気信号入力ポートに実装された複数の受光素子5aの受光面は全て同一の高さとなる。ここで、光素子一体型LSIを光回路に光結合させて、外部のLSIやメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、LSI1に実装されている複数の受光素子5aの高さが一定であるということは、各受光素子5aと、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子5aと全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子5aによって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子5aによって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

【0031】

(実施形態3)

以下、本発明の光素子一体型LSIの他例を図面に基づいて詳細に説明する。図5(a)は、本例の光素子一体型LSIの構造概略を示す模式的平面図であり、(b)は模式的断面図である。本例の光素子一体型LSIでは、LSI1の電気信号出力ポート(不図示)に発光素子2aが半田バンプ3によって電気接続され、電気信号入力ポート(不図示)に受光素子5aが半田バンプ3によって電気接続されている。LSI1の電気信号出力ポート及び電気信号入力ポートは複数存在しており、それらポートは様々な位置にランダムに配置されている。

【0032】

発光素子2aには、LSI1の裏面側(図5(b)の下方)に光を出力可能なものが用いられている。従って、電気信号出力ポートからオンオフの電気信号が出力されると、その電気信号は発光素子2aに入力されて光信号に変換され、オンオフの光信号として下方に向けて出力される。一方、受光素子5aには、LSI1の裏面側(図5(b)の下方)から入射した光を受光可能なものが用いられている。従って、外部からオンオフの光信号が入力されると、その光信号は受光素子5aによって電気信号に変換され、オンオフの電気信号として電気信号入力ポートに出力される。

【0033】

図6(a)～(d)に、図5(a)、(b)に示す光素子一体型LSIの製造方法を示

す。ここでは電気信号出力ポート及び電気信号入力ポートが、それぞれ8つずつ設けられているLSI1を例にとって製造方法を説明するが、LSI1の入出力ポートの数が異なるときは、発光素子及び受光素子数の数を適宜変更することができる。

【0034】

図6(a)に示すように、素子基板上に発光素子2aが4×4で配置された発光素子アレイ2を用意する。発光素子アレイ2を構成している複数の発光素子2aのうち、必要な発光素子2aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて発光素子アレイ2とLSI1とを電気接続する。ここで、必要な発光素子2aとは、LSI1の電気信号出力ポートに実装される発光素子2aのことを意味する。従って、LSI1の電気信号出力ポートに実装されない発光素子2aは、LSI1の上に載せられてはいるが、LSI1に電気接続されてはいない。また、必要な発光素子2aをLSI1に電気接続するために用いる半田バンプ3は、後に必要な受光素子5aを電気接続するために用いる半田バンプ3よりも融点が高いものを用いる。この半田の使い分けによって、後に受光素子5aを電気接続する工程において、発光素子2aを接続している半田をとかさずに受光素子5aを接続することができる。

【0035】

次に、図6(b)に示すように、発光素子アレイ2のうち、必要な発光素子2aのみを覆うように保護膜4を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜4を用いた。

【0036】

次に、図6(c)に示すように、不要な発光素子2aをエッチングによって除去する。その後、図6(d)に示すように、保護膜4を除去する。

【0037】

続いて、受光素子5aの実装工程を図7(e)～(i)を参照しながら説明する。まず、図7(e)に示すように、素子基板7上に受光素子5aが4×4で配置された受光素子アレイ5を用意する。

【0038】

次に図7(f)に示すように、受光素子アレイ5を構成する複数の受光素子5aのうち、必要な受光素子5aのみを覆うように保護膜4を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜4を用いた。ここで、必要な受光素子5aとは、後にLSI1の電気信号入力ポートに実装することを意図する受光素子5aを意味する。

【0039】

次に図7(g)に示すように、不要な受光素子5aをエッチングにより除去する。但し、このエッチング工程では、不要な受光素子5aの表面の機能部6のみをエッチングし、素子基板7はエッチングしないようにする。これは複数の受光素子5a全体の支持部として素子基板7を利用するためである。

【0040】

次に、保護膜4を除去することによって、必要な受光素子5aのみが機能部6を有する受光素子アレイ5を得る。その後、図7(h)に示すように、機能部6を有する複数の受光素子5aのパッドに半田バンプ3を形成し、形成された半田バンプ3を用いて必要な受光素子5aとLSI1とを電気接続する。

【0041】

最後に、図7(i)に示すように、受光素子アレイ5の素子基板7をエッチングして除去する。

【0042】

ここで、発光素子アレイ2の1チャンネルの大きさをzとし(図6(d)参照)、受光素子アレイ5の1チャンネルの大きさをyとしたとき(図7(g)参照)、発光素子2aと受光素子5aが上記組み立て時に干渉し合わないよう、zよりもyを小さくしてある。もっとも、上記zを上記yよりも小さくすることによっても、発光素子2aと受光素子5aとの干渉を回避することができる。図8及び図9に、上記zを上記yよりも小さくす

ることによって、発光素子 2 a と受光素子 5 a との干渉を回避した例を示す。

【0043】

これまでは、受光素子アレイを構成する複数の受光素子のうち、不要な受光素子の機能部のみを除去し、素子基板は残存させる製造方法について説明してきた。しかし、図 10 (a) ~ (c) に示すように、不要な受光素子 5 a を素子基板 7 ごとエッチングしてしまってもよい。この製造方法によれば、発光素子 2 a と素子基板 7 との干渉を回避するために、先に実装される発光素子 2 a の厚みを規制する必要はなくなる。尚、図 10 (a) ~ (c) に示す工程は、図 7 (g) ~ (i) に示す工程に相当する。従って、図 6 (a) ~ (d) に示す工程に続いて、図 7 (e)、(f) に示す工程を実行し、その後に図 10 (a) ~ (c) に示す工程を実行すれば、図 5 (a) ~ (c) に示す光素子一体型 LSI を製造することができる。

【0044】

以上の製造方法によって、LSI 1 の任意の位置に配置された複数の電気信号出力ポート及び電気信号入力ポートに、発光素子 2 a 及び受光素子 5 a がそれぞれ実装された光素子一体型 LSI が製造される。本例の製造方法では、複数の発光素子 2 a からなる発光素子アレイ 2 を LSI 1 に搭載した後、必要な発光素子 2 a を残し、不必要な発光素子 2 a を除去するので、LSI 1 の複数の電気信号出力ポートがランダムに配置されていても、全ての電気信号出力ポートに発光素子 2 a を一括で実装できる。従って、発光素子 2 a の実装工程が簡略になり、低コスト化に寄与する。さらに、発光素子アレイ 2 を構成する複数の発光素子 2 a は、予め発光面の高さが揃えられているので、LSI 1 の各電気信号出力ポートに実装された発光素子 2 a の発光面は全て同一の高さとなる。ここで、光素子一体型 LSI を光回路に光結合させて、外部の LSI やメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号入射面は一定の高さに揃えられているのが通常である。従って、LSI 1 に実装されている複数の発光素子 2 a の高さが一定であるということは、各発光素子 2 a と、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全発光素子 2 a と全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各発光素子 2 a からの出射光の大部分を光回路に入射させることができるため、伝送可能距離のさらなる長距離化が実現され、また短距離伝送であっても、ノイズ耐性が強い伝送ができるという効果も得られる。

【0045】

さらに本例の製造方法では、不要な受光素子 5 a の機能部 6 が予め除去された受光素子アレイ 5 を LSI 1 に搭載し、その後、必要な受光素子 5 a と LSI 1 の電気信号入力ポートとを電気接続する。従って、LSI 1 の複数の電気信号入力ポートがランダムに配置されていても、全ての電気信号入力ポートに受光素子 5 a を一括で実装できる。従って、受光素子 5 a の実装工程が簡略になり、低コスト化に寄与する。さらに、受光素子アレイ 5 を構成する複数の受光素子 5 a は、予め受光面の高さが揃えられているので、LSI 1 の各電気信号入力ポートに実装された複数の受光素子 5 a の受光面は全て同一の高さとなる。ここで、光素子一体型 LSI を光回路に光結合させて、外部の LSI やメモリ等との間で光信号の送受信を行なおうとした場合、各光回路の光信号出射面は一定の高さに揃えられているのが通常である。従って、LSI 1 に実装されている複数の受光素子 5 a の高さが一定であるということは、各受光素子 5 a と、それが光結合する複数の光回路との間隔を、全チャンネルにおいて一定に保つことができ、全受光素子 5 a と全光回路との間で高効率の光結合が実現されることを意味する。さらに、高効率の光結合が実現されることによって、各光回路からの出射光の大部分が各受光素子 5 a によって受光されるため、従来は受光することが困難、又は不可能であった微弱な光信号であっても受光可能となる。例えば、長距離伝送によって減衰してしまったような微弱な光信号であっても受光可能となる。また、受光素子 5 a によって比較的光強度の強い光信号の大部分が受光されるため、ノイズ耐性が強い伝送が実現可能となる。後者の効果は、短距離伝送の場合に特に顕著である。

【0046】

総じて、本例の製造方法によって製造された光素子一体型LSIは、発光素子及び受光素子の双方を備え、かつ、各発光素子及び各受光素子の高さが一定に揃っているので、発光側および受光側の全チャンネルにおいて光回路との高効率な光結合が実現されるという効果が得られ、送受信両方の光通信を良好な状況で行うことができるという効果が得られる。

【0047】

加えて、本例の製造方法のように、複数の発光素子及び受光素子を一括して実装した場合、次のような効果も得られる。図11は、本例の製造方法によって製造された光素子一体型LSIの模式的平面図であるが、受光素子5aの実際の実装位置は、所定の実装位置（図中に点線13aで示す）に対して上方向にずれている。また、発光素子2aの実際の実装位置は、所定の実装位置（図中に点線13bで示す）に対して左方向にずれている。しかし、複数の受光素子5a及び発光素子2aは、両者とも一括でLSI1に実装されたものである。従って、所定の実装位置に対する実際の実装位置のずれの方向と距離は、複数の素子において同一である。すなわち、図11では、全ての受光素子5aが所定の実装位置に対して上方向に同一距離だけずれている。また、全ての発光素子2aが所定の実装位置に対して左方向に同一距離だけずれている。この場合、受光素子5aに対応している複数のレンズ等（図示していない）の光部品全体を上方向にずらせば高効率に結合でき、発光素子2aに対応している光部品全体を左方向にずらせば高効率に結合できる。

【0048】

以上のように、複数の受光素子及び発光素子が一括でLSIに実装される本例の製造方法によって製造された光素子一体型LSIでは、同種の複数の光素子の実装位置と、設計上の実装位置との間の位置ずれは、同種の複数の光素子において、同方向、かつ、同距離である。この結果、光素子が光結合すべき光回路の位置を光素子の位置ずれと同じ方向に同じ距離だけずらすことによって、同種の複数の光素子と光回路とを高効率で光結合させることができるという効果が生じる。但し、この効果は、同種の複数の光素子（図11の場合であれば、発光素子2aと光回路との光結合、又は受光素子5aと光回路との光結合のどちらか一方）に限定される。もちろん、異種の光素子のずれ方向とずれ量が同一であれば、両者について、光回路を高効率で結合させることができ、さらに良好な光通信を提供できる効果がある。

【0049】

さらに、最初の工程で光素子を実装するために用いる半田の融点を高くしておき、その次以降の工程で光素子を実装するために用いる半田の融点を順々に低くしていくことにより、前工程の半田付けに用いた半田が溶けない温度によって次工程の半田付けを実行することができる。その結果、全ての工程通じて、光素子を一旦半田で固定した後で、その半田が再び溶けることはなくなるため、光素子の位置がずれずに、当初の実装位置が保持されるという効果が得られる。具体的には、複数の発光素子を最初に実装し、次に複数の受光素子を実装する工程をとる場合には、発光素子の実装に用いる半田の融点を、受光素子の実装に用いる半田の融点よりも高くしておくことにより、発光素子を実装した後、受光素子を実装する際に、発光素子の実装に用いた半田が溶けることがない。よって、発光素子の位置はずれない。当然、受光素子の実装に用いる半田は溶けるため、受光素子を所定の実装位置に固定できる。このように、異なる融点を持つ半田を使い分けることによって、発光素子及び受光素子をそれぞれ所定位置に固定できるといった効果が得られる。

【0050】

また、図5(c)に示すように、LSI1と発光素子2a及び受光素子5aとの間に、アンダーフィル樹脂8を充填して、両者の接続強度を高めることもできる。アンダーフィル樹脂8の充填工程は、上記製造工程中の好適な段階に追加することができる。

【0051】

（実施形態4）

図12に本発明の光素子一体型LSIの他例を示す。図12(a)に示す光素子一体型

LSIでは、隣接する受光素子5aの一部が互いに繋がっている。受光素子アレイ5を構成する各受光素子5aの電極パターンの一部が2以上のチャンネル間に跨っており、チャンネル間をまたぐ電極パターンを分断したくない場合には、図12(a)に示すような構造とすることが望ましい。尚、図12(a)には、受光素子5a同士が繋がっている部分と分離されている部分の両者が存在する例を図示したが、発光素子に関しても同様である。また、図12(b)に示す光素子一体型LSIでは、隣接する発光素子2a及び受光素子5aの間に隙間が設けられ、光素子が各チャンネルごとに独立している。熱膨張の影響によって光素子に作用する応力をなるべく少なくしたい場合には、図12(b)に示すような構造とすることが望ましい。図12(b)に示すように、隣接する光素子間に隙間を設けて、隣接する光素子同士を分離しやすくするための方法の一例として、隣接する光素子の間に、図12(c)又は図12(d)に示すような切り込み10を入れておくことが考えられる。図12(c)及び図12(d)は、光素子の断面を模式的に示しており、図12(c)では光素子の片方の面に、図12(d)では光素子の両側の面に切り込み10が入れられている。

【0052】

以上述べたように、光素子一体型LSIにおいて、実装されている光素子が複数個繋がった構造を採用することによって、隣接する光素子間で電極配線を共通化でき、配線レイアウトの自由度が増加し、さらには、半田を電極のどこに配置して実装するかについての自由度も増加するといった効果が得られる。また逆に、光素子を単チャンネルごとに分離した構造を採用することによって、構成単位的光素子の大きさを小さくすることができ、LSIと光素子間の熱膨張係数差に起因して光素子に加えられる応力を小さくできる効果が得られる。

【0053】

(実施形態5)

図13に、本発明の光素子一体型LSIの他例を示す。図13(a)に示す光素子一体型LSIでは、複数の受光素子5aの高さがLSI1に対して一定であり、又、複数の発光素子2aの高さもLSI1に対して一定である。しかし、発光素子2aと受光素子5bの高さは異なっている。図13(a)に示すような光素子一体型LSIは、発光素子2aを先にLSI1に実装した後に、受光素子5aをLSI1に実装することによって製造可能である。この際、受光素子5aの厚みを発光素子2aの厚みよりも厚くしておくことにより、発光素子2aと受光素子5aとの干渉を避けて両者を実装することができる。

【0054】

図13(b)に示す光素子一体型LSIでは、複数の受光素子5a及び発光素子2aの高さがLSI1に対して一定である。すなわち、全ての光素子の高さが同一とされている。図13(b)に示すような光素子一体型LSIは、図13(a)のような構造の光素子一体型LSIを製造してから、厚みの厚い光素子(図13(a)では受光素子5a)を厚みの薄い光素子(図13(a)では発光素子2a)に合わせてエッチングすることによって製造可能である。

【0055】

尚、図13(a)、(b)に示すように、実装されている光素子の高さが揃っていることによる利点については、これまでに繰り返し説明しているので、ここでの説明は省略する。

【0056】

(実施形態6)

本発明の光素子一体型LSIの他例を図14に示す。図14に示す光素子一体型LSIでは、LSI1に複数の発光素子2aと受光素子5aが半田バンプ3によって実装されており、それら発光素子2a及び受光素子5aの近傍にヒートシンク11が設けられている。ヒートシンク11の材料としては、アルミ、銅、シリコンなど様々な材料を用いることができる。尚、ヒートシンク11の材料が発光素子2a及び受光素子5aに入出力する光の波長に対して光学的に透明である場合には問題はないが、透明ではない場合には、光路

を確保するための窓 12 を形成する必要がある。

【0057】

受光素子や発光素子といった光素子は温度が高くなると、常温時に比べて性能が低下することが知られている。しかし、本例の光素子一体型 LSI によれば、発光素子 2a 及び受光素子 5a の近傍に設けられたヒートシンク 11 によって、発光素子 2a 及び受光素子 5a から発生する熱が放熱され、発光素子 2a 及び受光素子 5a を常温に近い温度で駆動することができる。この結果、発光素子 2a 及び受光素子 5a の性能が十分に発揮される。さらに、LSI 1 側にも同様のヒートシンクを設けることによって、放熱効果をより一層高めることができる。

【0058】

(実施形態 7)

本発明の光素子一体型 LSI の他例を図 15 (a) に示す。図 15 (a) に示す光素子一体型 LSI では、複数の発光素子 2a 及び受光素子 5a が LSI 1 に実装されており、全部又は一部の発光素子 2a にはレンズ 14 が集積化されている。レンズ 14 の収束作用によって、発光素子 2a から出射された光の発散が抑制され、又はコリメートされて、結合対象の光学部品に対して高効率で光結合しやすくなる。また、必要であれば、受光素子 5a にもレンズを集積化することができる。受光素子 5a は、その高速化に伴って受光部の小型化が進んでおり、高効率な光結合を実現するためには、レンズの集積化が有効である。発光素子 2a や受光素子 5a にレンズを集積化させる方法としては、図 15 (b) に示すように、受光素子 5a が形成されている素子基板 7 を凸形状にエッチングする方法や、ポリマーを発光素子 2a や受光素子 5a に塗布後、硬化させてポリマーの表面張力を利用してレンズ形状にする方法等がある。

【0059】

以上のように、光素子にレンズを設けることによって、光素子から出射された光や光回路から出射された光の発散を抑制することができる。また、レンズなどの光学系の特性によっては平行光にすることもできる。その結果、光素子と光回路間の距離がある程度離れていても高効率な光結合が実現される。あるいは、受光素子の受光部の面積が小さい場合や、光回路の光伝播部（通常コアと呼ばれる）の大きさが小さい場合も、高効率な光結合が実現され、良好な光通信を提供できるという効果が得られる。

【0060】

(実施形態 8)

本発明の光素子一体型 LSI の他例を図 16 (a)、(b) に示す。図 16 (a)、(b) に示す光素子一体型 LSI では、LSI 1 に複数の発光素子 2a と受光素子 5a が実装されている。ここでは LSI 1 に電気信号出力ポートと、電気信号入力ポートが 8 つずつ設けられている場合を例にとって説明するが、入出力ポートの数が異なる場合は、発光素子及び受光素子の数を適宜変更することができる。発光素子 2a と受光素子 5a は、機能部を残して薄膜化されている。ここで、受光素子 5a の機能部とは前記した通りである。また、発光素子 2a の機能部とは、入力された電気信号を光信号に変換して、外部に出力する機能を果たすために必要な部分を意味する。

【0061】

上記のように、発光素子 2a 及び受光素子 5a を薄膜化することにより、これら光素子と光学的に結合する対象との間の距離を短くすることが可能となり、結合効率、位置ずれの許容量を向上させることができる。また、薄膜化により光素子の基板部分がなくなり、光が基板を透過する段階で生じるロスをなくすることができる。

【0062】

図 17～図 19 に、図 16 (a)、(b) に示す光素子一体型 LSI の製造方法を示す。まず、図 17 (a) に示すように、不図示の素子基板上に発光素子 2a が 4×4 で配置された発光素子アレイ 2 を用意する。この発光素子アレイ 2 のうち、必要な発光素子 2a のパッドにのみ半田バンプ 3 を形成し、形成した半田バンプ 3 を用いて発光素子アレイ 2 と LSI 1 とを電気接続する。ここで必要な発光素子 2a とは、LSI 1 の電気信号出力

ポートに実装することを意図する発光素子 2 a を意味する。

【0063】

次に、図 17 (b) に示すように、発光素子アレイ 2 のうち、必要な発光素子 2 a のみを覆うように保護膜 4 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 4 を用いた。

【0064】

次に、図 17 (c) に示すように、不要な発光素子 2 a をエッチングにより除去する。その後、図 17 (d) に示すように、保護膜 4 を除去して、必要な位置にのみ発光素子 2 a を実装する。

【0065】

次に、図 18 (e) に示すように、発光素子 2 a が実装されていない L S I 1 の表面を保護膜 4 で被覆した後、発光素子 2 a の素子基板をエッチングすることによって、発光素子 2 a を薄膜化する。その後、図 18 (f) に示すように、保護膜 4 を除去する。

【0066】

続いて、図 18 (g) に示すように、素子基板 7 上に 4 × 4 で受光素子 5 a が配置された受光素子アレイ 5 を用意する。次に、図 18 (h) に示すように、必要な受光素子 5 a のみを覆うように保護膜 4 を形成する。本例では、レジストの露光・現像等によりパターンニングした保護膜 4 を用いた。ここで、必要な受光素子 5 a とは、後に L S I 1 に実装することを意図する受光素子 5 a である。

【0067】

次に、図 18 (i) に示すように、不要な受光素子 5 a をエッチングにより除去する。但し、ここでのエッチング工程では、受光素子 5 a の表面をエッチングすると共に、素子基板 7 の表面を部分的にエッチングするが、素子基板 7 の全てをエッチングせず、一部を残すようにする。これは複数の受光素子 5 a 全体の支持部として素子基板 7 を利用するためである。その後、保護膜 4 を除去して、必要な位置のみに受光素子 5 a が残された受光素子アレイ 5 を得る。さらに、残されている複数の受光素子 5 a のパッドに半田バンプ 3 を形成する。

【0068】

次に、図 19 (j) に示すように、既に発光素子 2 a が実装されている L S I 1 のパッドに、受光素子 5 a が電気接続される電気信号入力ポートに連通する開口 1 5 を設け、他の部分は保護膜 4 で被覆する。その後、図 19 (k) に示すように、受光素子アレイ 5 の各受光素子 5 a が対応する開口 1 5 に嵌め込まれるように、受光素子アレイ 5 を L S I 1 に載せ、複数の受光素子 5 a を一括して搭載する。

【0069】

次に、図 19 (l) に示すように、受光素子アレイ 5 の素子基板 7 をエッチングしてから、L S I 1 側に設けられている保護膜 4 を除去する。

【0070】

他の製造方法として、発光素子アレイ 2 を構成する複数の発光素子 2 a のうち、不要な発光素子 2 a を最初に除去してから L S I 1 の電気信号出力ポートに実装し、受光素子 5 a については上記と同様の方法で実装する方法を取ることできる。

【0071】

以上述べた製造方法によって、薄膜化された光素子を備えた光素子一体型 L S I を製造することができる。薄膜化された光素子を備えた光素子一体型 L S I によれば、光素子の機能部と、その機能部に光結合する光回路との間の距離を短くすることが出来るため、発光素子又は光回路から出射された光信号があまり広がらないうちに、光回路や受光素子に結合させることができ、光結合効率が高くなるという効果が得られる。

【0072】

(実施形態 9)

本発明の光素子一体型 L S I の他例を図 20 に示す。図 20 に示す光素子一体型 L S I では、L S I 1 に 5 つの光素子が実装されている。このうち 3 つの光素子 1 6 a は L S I

1の左に寄った部分に纏まっており、これらを群1と呼ぶ。一方、残りの2つの光素子16bはLSI1のほぼ中央に纏まっており、これらを群2と呼ぶ。もともと、群1と群2に属する光素子16a及び16bは同一の光素子である。

【0073】

ここで、群1に属する3つの光素子16aは高さが一定であり、群2に属する2つの光素子16bも高さは一定である。しかし、光素子16aは光素子16bよりも高さが低い。従って、群1に属する光素子16aと光結合する光ファイバ等（不図示）の位置が、群2に属する光素子16bと光結合する光ファイバ等（不図示）の位置よりも高い場合、群1に属する光素子16aの高さを群2に属する光素子16bより低くしておくことによって、群1に属する光素子16aと光ファイバとの距離と、群2に属する光素子16bと光ファイバとの距離とをほぼ同じ距離にして、平均的に高効率な光結合を実現することができる。

【0074】

以上のように、各群に属する光素子ごとに、光結合すべき光回路群の高さが異なる場合には、対応する光回路群の高さに合わせて各群に属する光素子の高さを設定しておくことによって、各群に属する光素子と光回路との間でそれぞれ高効率な光結合が実現され、良好な光通信を提供できる効果が得られる。

【0075】

（実施形態10）

図21及び図22に、LSI1に3つの光素子16が実装された光素子一体型LSIを示す。このうち、図21(a)(b)に示す光素子一体型LSIは、複数の光素子を個別に実装する従来の製造方法によって製造されたものであり、図22(a)(b)に示す光素子一体型LSIは、複数の光素子を一括して実装する本発明の製造方法によって製造されたものである。図21に示す光素子一体型LSIでは、LSI1の高さを基準とした場合、隣接する光素子16間の高さのずれ17は2 μ m程度であり、装置等の条件によっては高さのずれがそれ以上になる場合も多くある。一方、図22に示す光素子一体型LSIでは、隣接する光素子16間の高さのずれ17は0.5 μ m程度に抑えられている。上記2 μ mのずれに対して、大幅に高さのずれが低減されていることがわかる。その理由として、本発明の製造方法では、複数の光素子からなる光素子アレイを搭載した後に、不必要な光素子を除去することによって、複数の必要な光素子を一括実装するか、不要な光素子が予め除去された光素子アレイを搭載することによって、複数の必要な光素子を一括実装するからである。更なる効果として、複数の光素子を一括して実装すると、光素子を1つずつ実装する場合に比べて、実装に要する時間を短縮することができ、コストを低減することができる。また、その効果は実装される光素子の数が増えるほど大きくなる。

【0076】

（実施形態11）

図23に、光導波路18、光導波路端面ミラー19及び電気配線が形成された光電気混載基板20に光素子一体型LSIを実装した場合の断面構造を示す。ここで、光電気混載基板20とは、光回路と電気回路の両方が設けられた基板を意味する。図23には、光回路として光導波路18を用いた例を示すが、その他の光回路として光ファイバを用いても良い。図23(a)は、本発明の光素子一体型LSIを光電気混載基板20に実装した場合の断面構造を示し、図23(b)は従来の光素子一体型LSIを光電気混載基板20に実装した場合の断面構造を示す。

【0077】

図23(a)に示す光素子一体型LSIと、図23(b)に示す光素子一体型LSIとは、3チャンネル分の発光素子2aと、1チャンネル分の受光素子5aとがLSI1に実装されている点で共通している。しかし、図23(a)と図23(b)とを比較すれば明らかなように、複数の発光素子2a及び受光素子5aが一括して実装された本発明の光素子一体型LSIでは、発光素子2a及び受光素子5aの高さが一定に揃っている。一方、1チャンネルずつの発光素子2a及び受光素子5aが1つずつLSI1に実装された従来

の光素子一体型 L S I では、各光素子間の高さにばらつきが生じている。

【0078】

光電気混載基板 20 は、その表面に光導波路 18 と光導波路端面ミラー 19 が形成され、更に電気配線（不図示）が形成されている。また、光素子一体型 L S I と光電気混載基板 20 は、半田バンプ 3 を用いて電気接続され、光素子一体型 L S I の受発光部と光導波路端面ミラー 19 は、X、Y、Z 方向の位置を合わせることで、光結合している。ここで、X 方向は光電気混載基板 20 の表面と平行な方向で、Y 方向は紙面に垂直な方向で、Z 方向は、光電気混載基板 20 の表面に垂直な方向を示し、図 23 (a)、(b) には X、Z 方向の断面を示してある。光素子一体型 L S I の比較的低速な信号と、電源、グランドとは半田バンプ 3 を介して電氣的に光電気混載基板 20 との間でやり取りされ、高速な信号は発光素子 2 a 及び受光素子 5 a と光導波路 18 とを用いてやり取りされる。

【0079】

ここで、光素子一体型 L S I から出力される光信号を高効率、かつ全チャンネルについて同じ効率で光結合させるためには、各光素子と、光導波路端面ミラー 19 との相対位置が、それぞれのチャンネルで揃っている必要がある。

【0080】

この点、L S I 1 に対して複数の光素子の高さが一定である本発明の光素子一体型 L S I を光電気混載基板 20 に対して平行に、かつ、光素子と光導波路端面ミラー 19 の光軸を合わせて近接搭載すれば、各光素子と光導波路端面ミラー 19 との距離（Z 方向）は一定になる。従って、全チャンネルについて同一で高効率の光結合をとることができる。さらに、光素子一体型 L S I から出力される複数の光信号を高強度で、均一に光導波路 18 に伝送することができ、全チャンネルにおいて、遠方まで光信号を伝送することができる。また、光信号の受信に関しても、均一に高効率で光導波路 18 と結合できることにより、遠方より来た微弱な光信号を受信することができる効果がある。

【0081】

一方、図 23 (b) に示す従来の光素子一体型 L S I のように、L S I 1 に対して複数の光素子の高さが一定でない場合は、光素子一体型 L S I を光電気混載基板 20 に対して平行に実装したとしても、各光素子と光導波路端面ミラー 19 との距離（Z 方向）は一定とはならず、両者の光結合にばらつきが生じる。その結果、光信号を伝送できる距離にばらつきが生じ、光結合効率が悪いチャンネルでは伝送距離が短くなるという問題が生じる。また、光信号を受信する場合でも、同様に結合効率が悪いチャンネルでは、光伝送距離が短くなる問題が生じる。

【図面の簡単な説明】

【0082】

【図 1】 (a) は本発明の光素子一体型 L S I の一例を示す模式的平面図、(b) は模式的断面図である。

【図 2】 (a) ~ (d) は、図 1 に示す光素子一体型 L S I の製造工程の一例を示す模式図である。

【図 3】 (a) は本発明の光素子一体型 L S I の他例を示す模式的平面図、(b) は模式的断面図である。

【図 4】 (a) ~ (e) は、図 3 に示す光素子一体型 L S I の製造工程の一例を示す模式図である。

【図 5】 (a) は本発明の光素子一体型 L S I の他例を示す模式的平面図、(b) は模式的断面図、(c) は (a) (b) に示す光素子一体型 L S I の変形例を示す模式的断面図である。

【図 6】 (a) ~ (d) は、図 5 (a) (b) に示す光素子一体型 L S I の製造工程の一例を示す模式図である。

【図 7】 (e) ~ (i) は、図 6 (d) に続く製造工程を示す模式図である。

【図 8】 (a) ~ (d) は、図 5 (a) (b) に示す光素子一体型 L S I の他の製造方法の工程を示す模式図である。

【図9】(e)～(i)は、図8(d)に続く製造工程を示す模式図である。

【図10】(a)～(c)は、図7(g)～(i)に示す工程に代わる工程を示す模式図である。

【図11】光素子の設計上の実装位置と実際の実装位置との関係の一例を示す模式的平面図である、

【図12】(a)本発明の光素子一体型LSIの他例を示す模式的平面図、(b)は本発明の光素子一体型LSIのさらに他例を示す模式的平面図、(c)及び(d)は、光素子の異なる例を示す模式的拡大断面図である。

【図13】(a)は本発明の光素子一体型LSIの他例を示す模式的断面図、(b)は本発明の光素子一体型LSIのさらに他例を示す模式的断面図である。

【図14】本発明の光素子一体型LSIの他例を示す模式的断面図である。

【図15】(a)は本発明の光素子一体型LSIの他例を示す模式的断面図、(b)は(a)のLSIの製造工程の一部を示す模式的断面図である。

【図16】(a)は本発明の光素子一体型LSIの他例を示す模式的平面図、(b)は模式的断面図である。

【図17】(a)～(d)は、図16(a)(b)に示す光素子一体型LSIの製造工程の一例を示す模式図である。

【図18】(e)～(i)は、図17(d)に続く製造工程を示す模式図である。

【図19】(j)～(l)は、図18(i)に続く製造工程を示す模式図である。

【図20】(a)は本発明の光素子一体型LSIの他例を示す模式的平面図、(b)は模式的断面図である。

【図21】(a)は従来の製造方法によって製造された光素子一体型LSIの一例を示す模式的平面図、(b)は模式的断面図である。

【図22】(a)は本発明の製造方法によって製造された光素子一体型LSIの一例を示す模式的平面図、(b)は模式的断面図である。

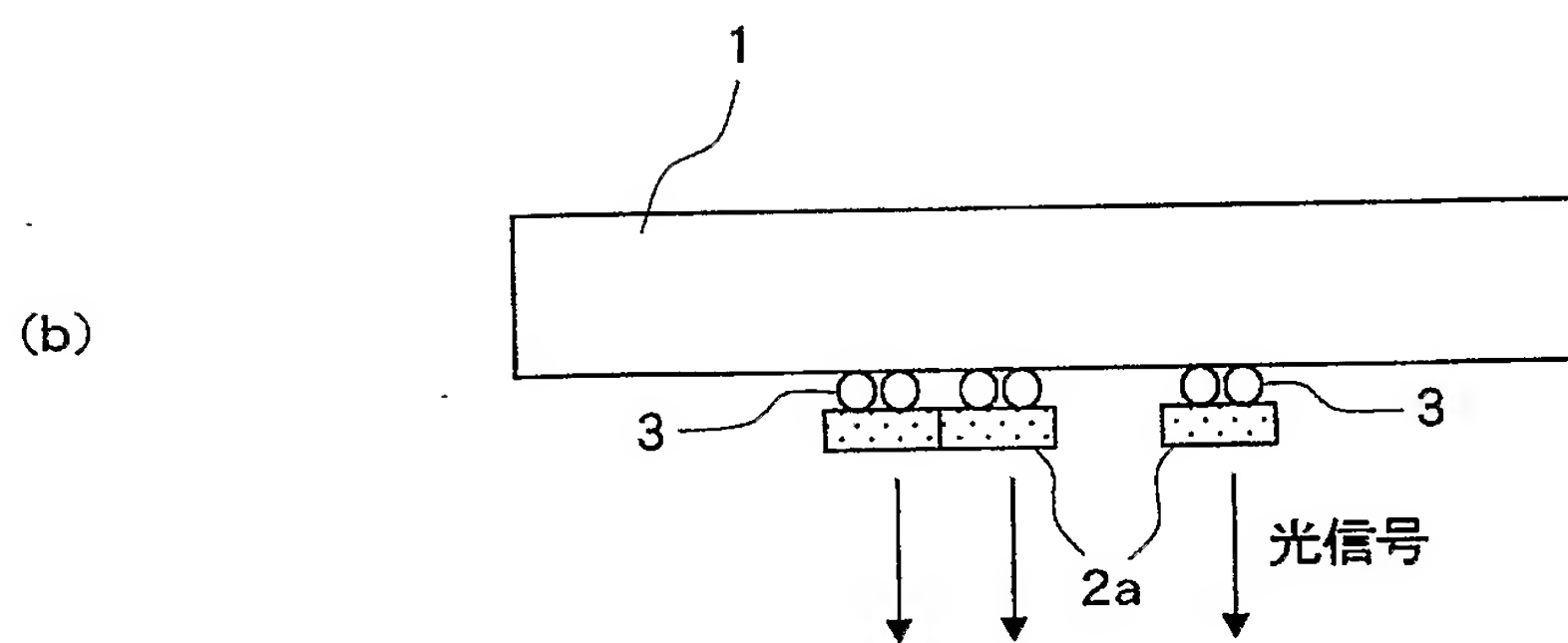
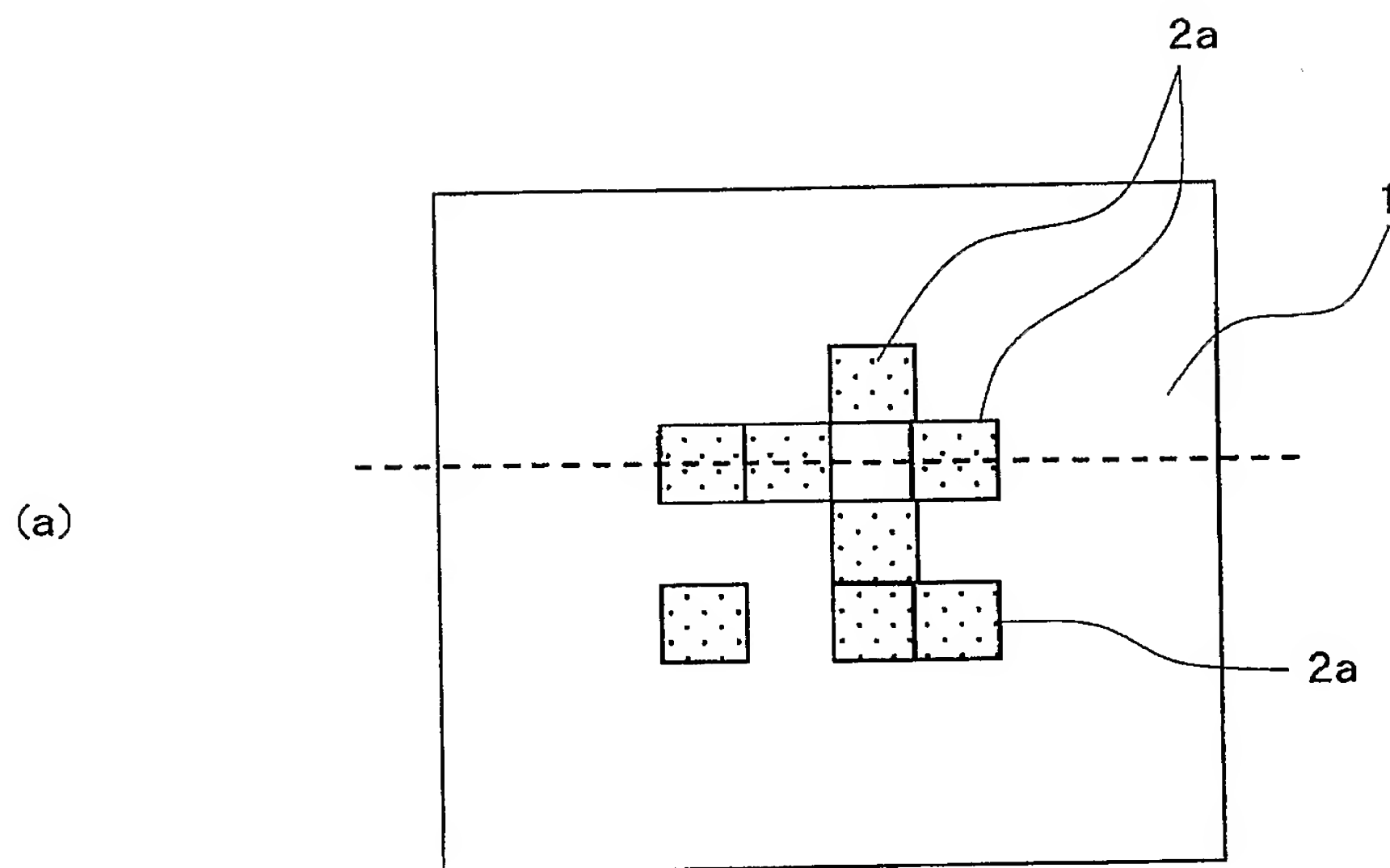
【図23】(a)は本発明の光素子一体型LSIを光電気混載基板に実装した状態の模式的断面図、(b)は従来の光素子一体型LSIを光電気混載基板に実装した状態の模式的断面図である。

【符号の説明】

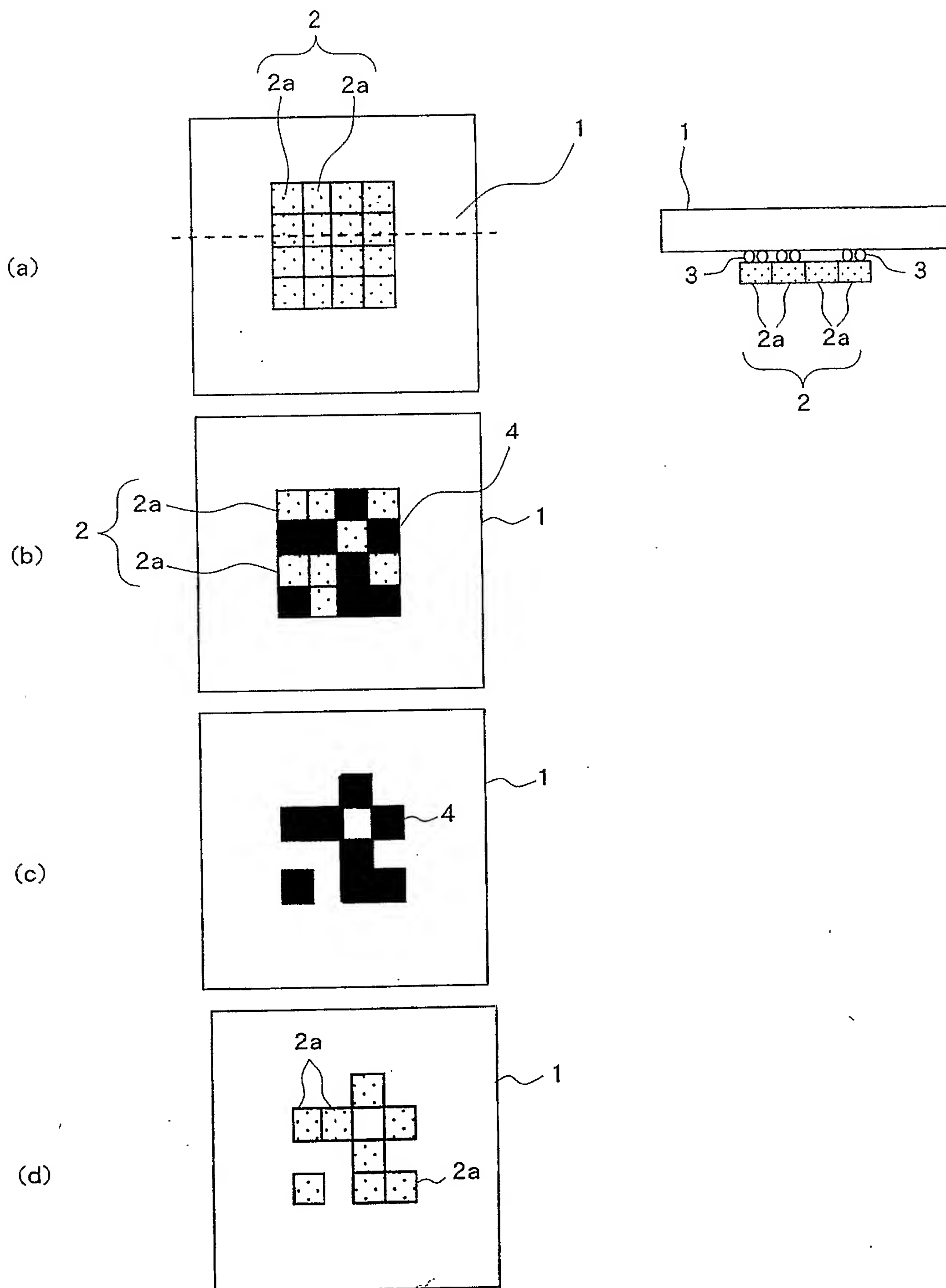
【0083】

- 1 基板
- 2 発光素子アレイ
- 2 a 発光素子
- 3 半田バンプ
- 4 保護膜
- 5 受光素子アレイ
- 5 a 受光素子
- 6 機能部
- 7 素子基板
- 8 アンダーフィル樹脂
- 10 切り込み
- 11 ヒートシンク
- 12 窓
- 14 レンズ
- 16 光素子
- 16 a 群1に属する光素子
- 16 b 群2に属する光素子
- 18 光導波路
- 19 光導波路端面ミラー
- 20 光電気混載基板

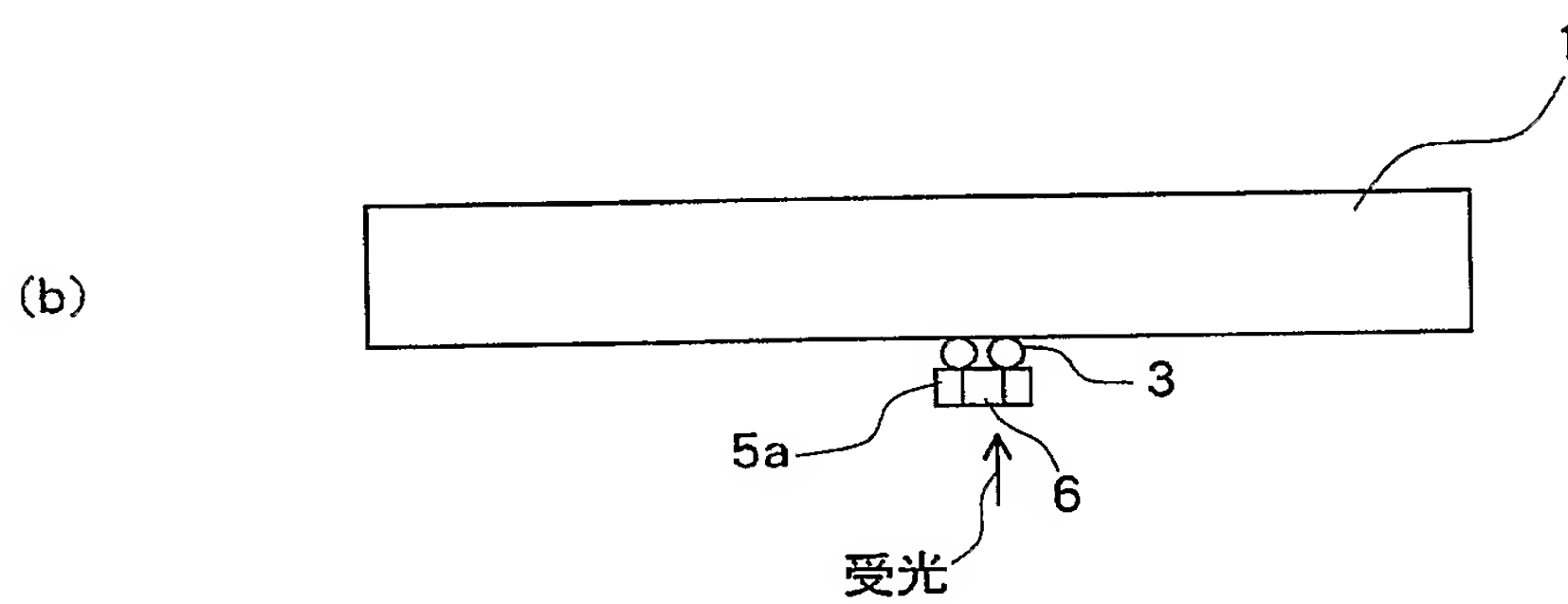
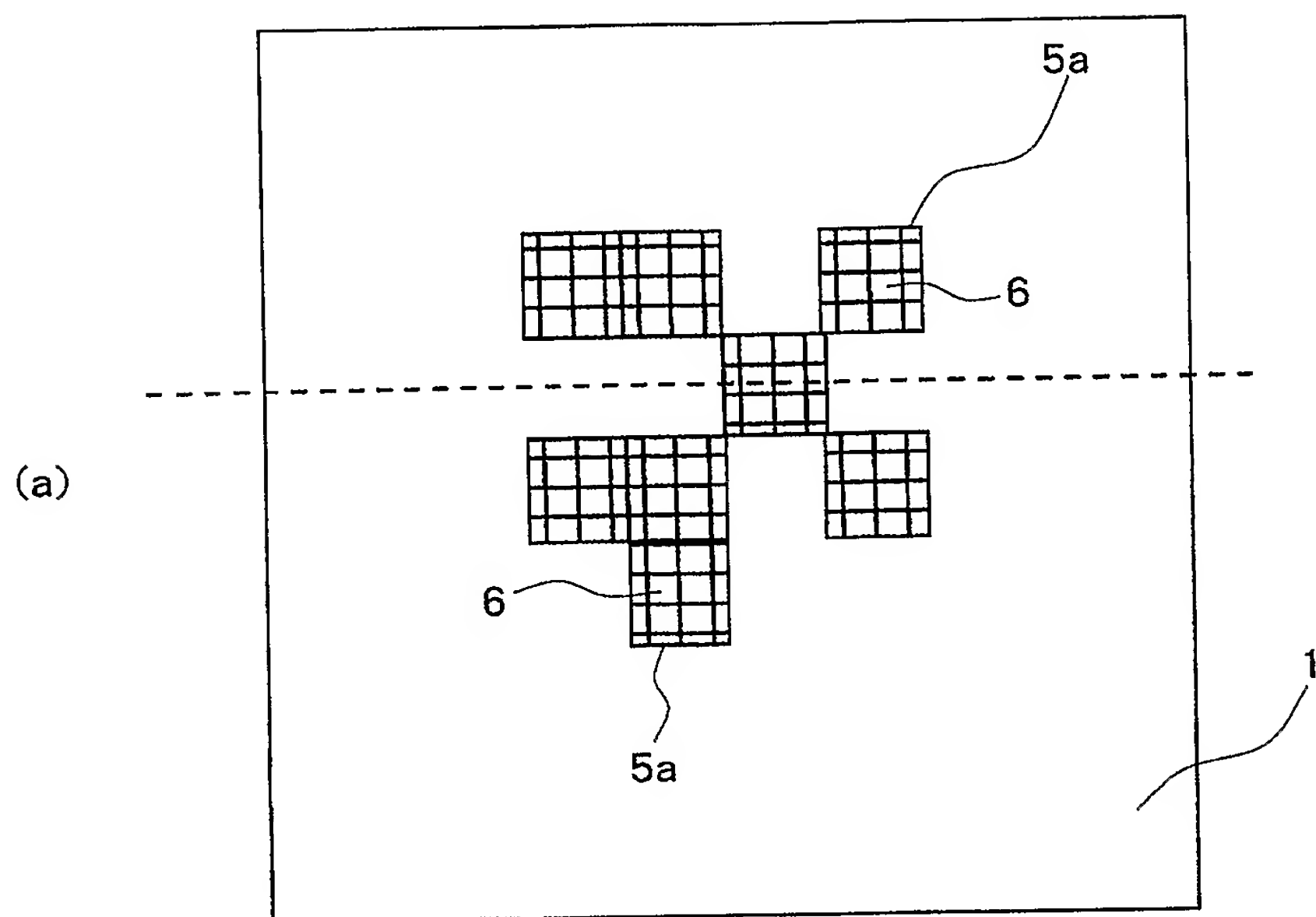
【書類名】 図面
【図 1】



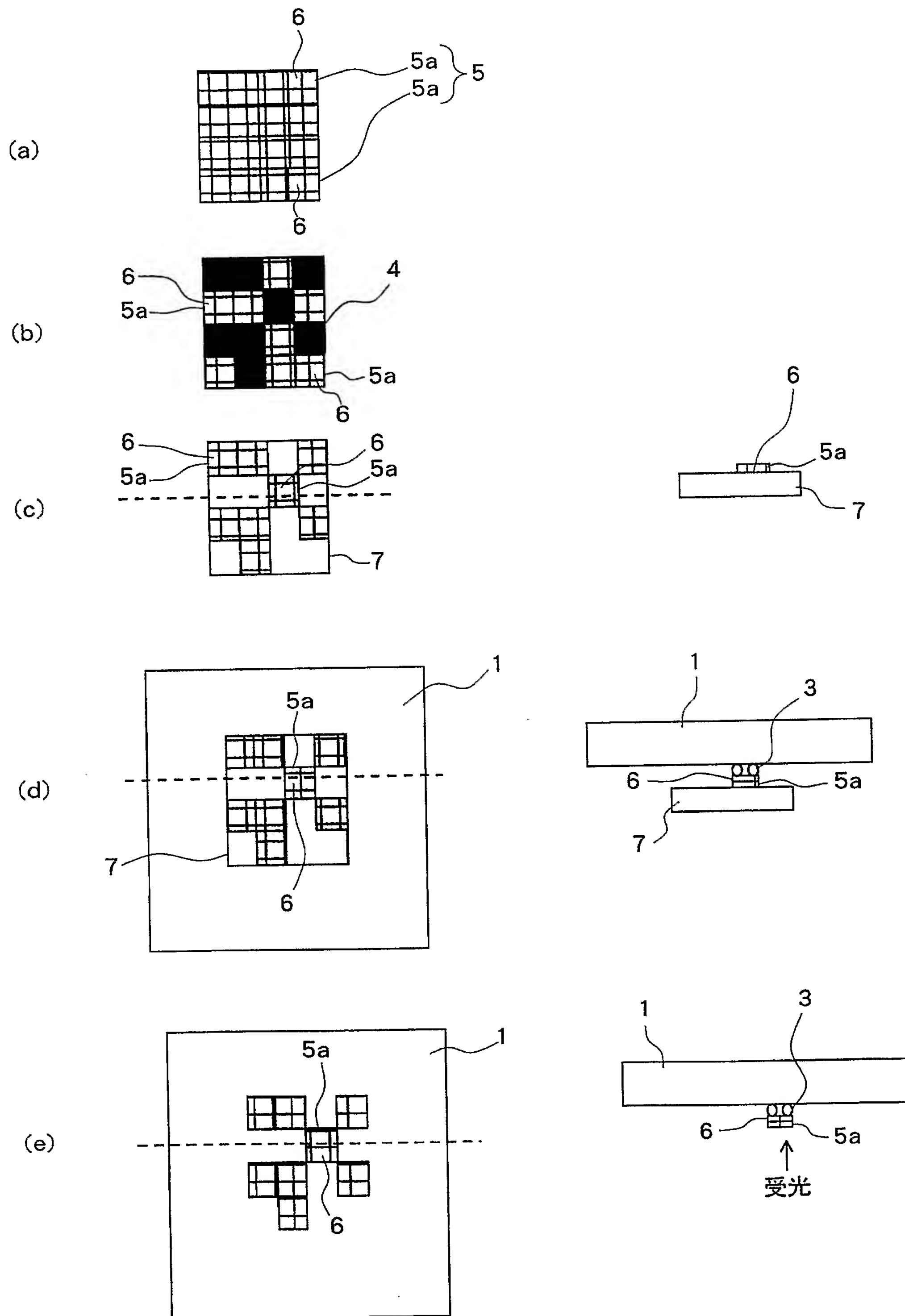
【図 2】



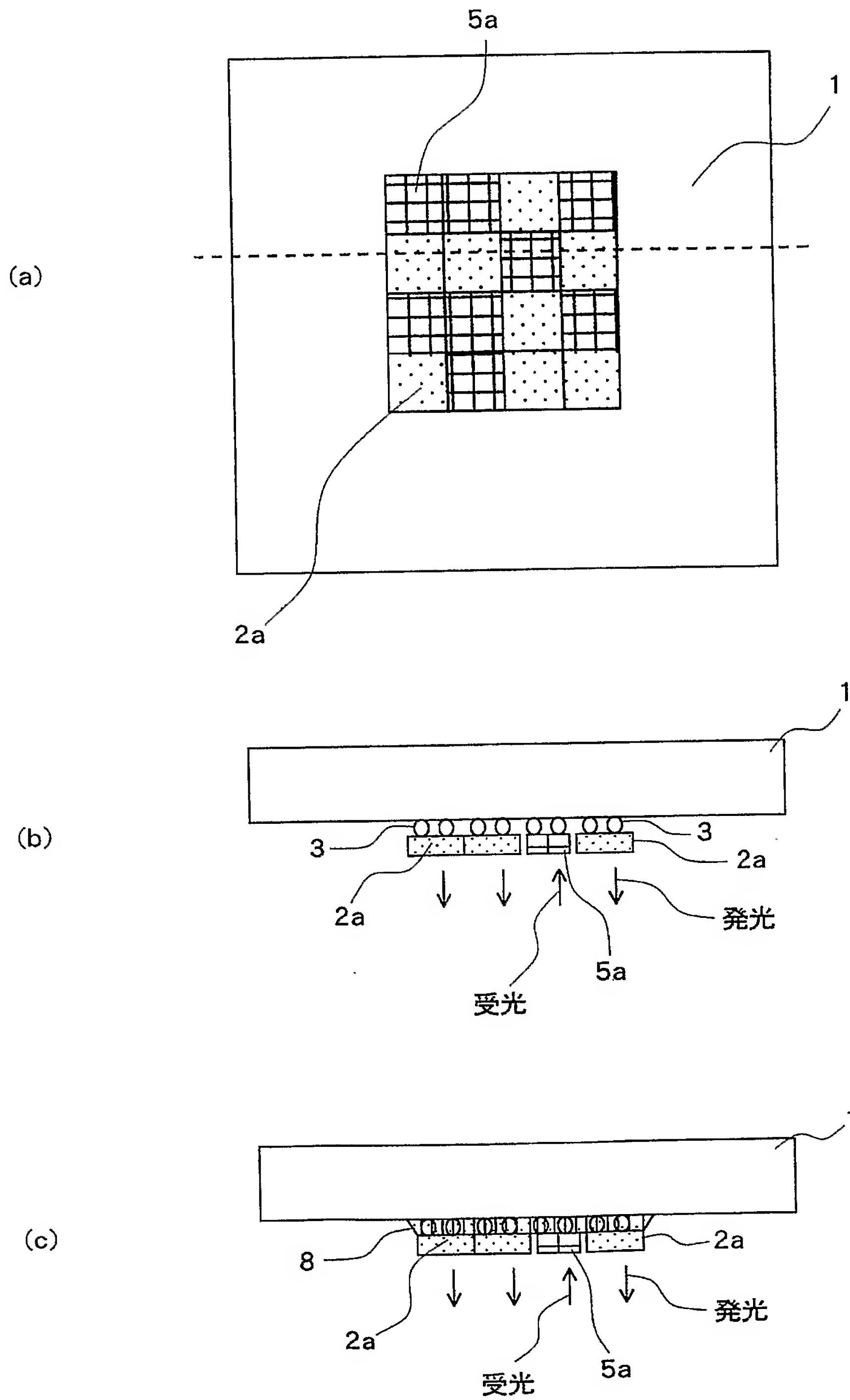
【図 3】



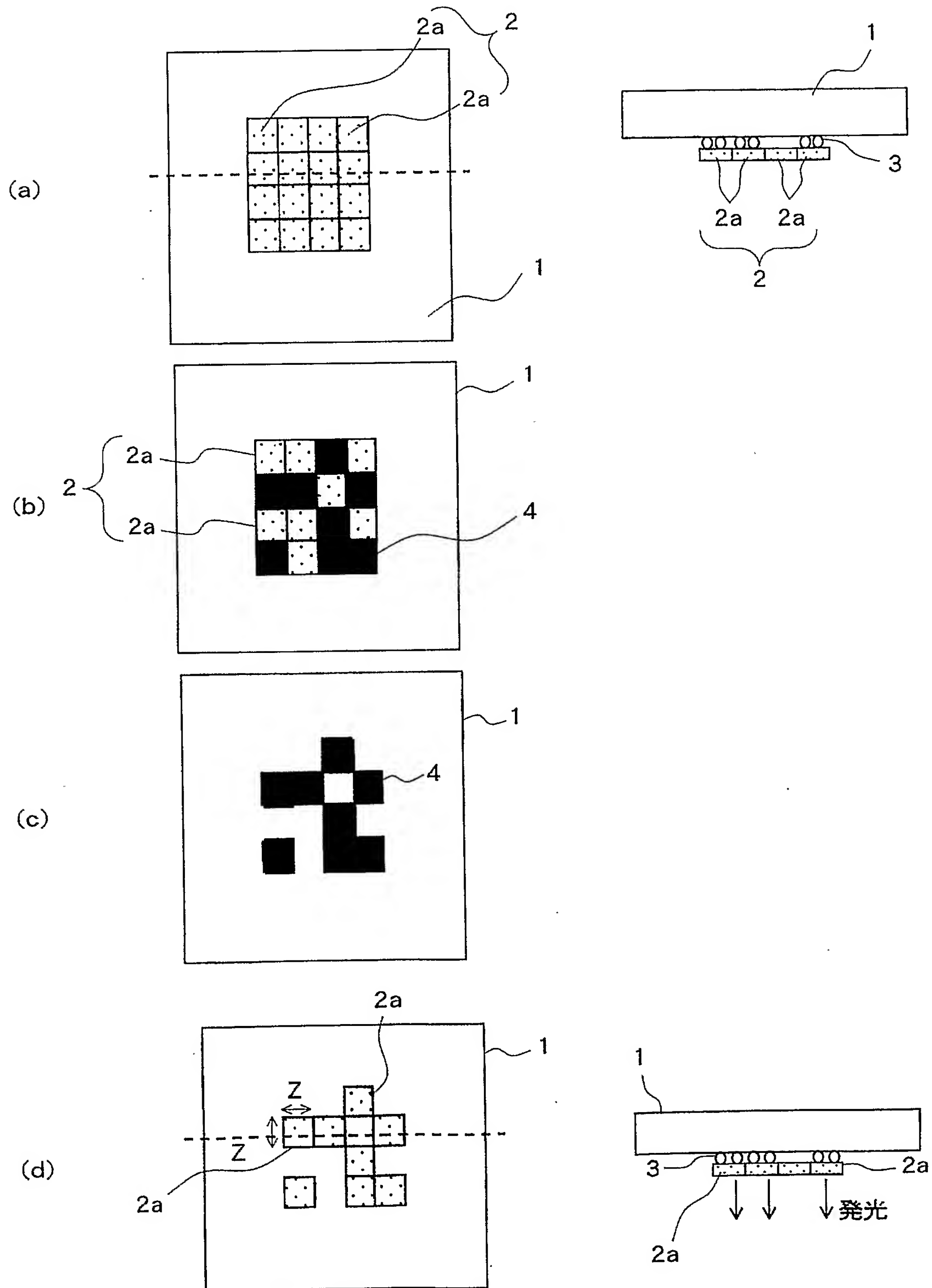
【図 4】



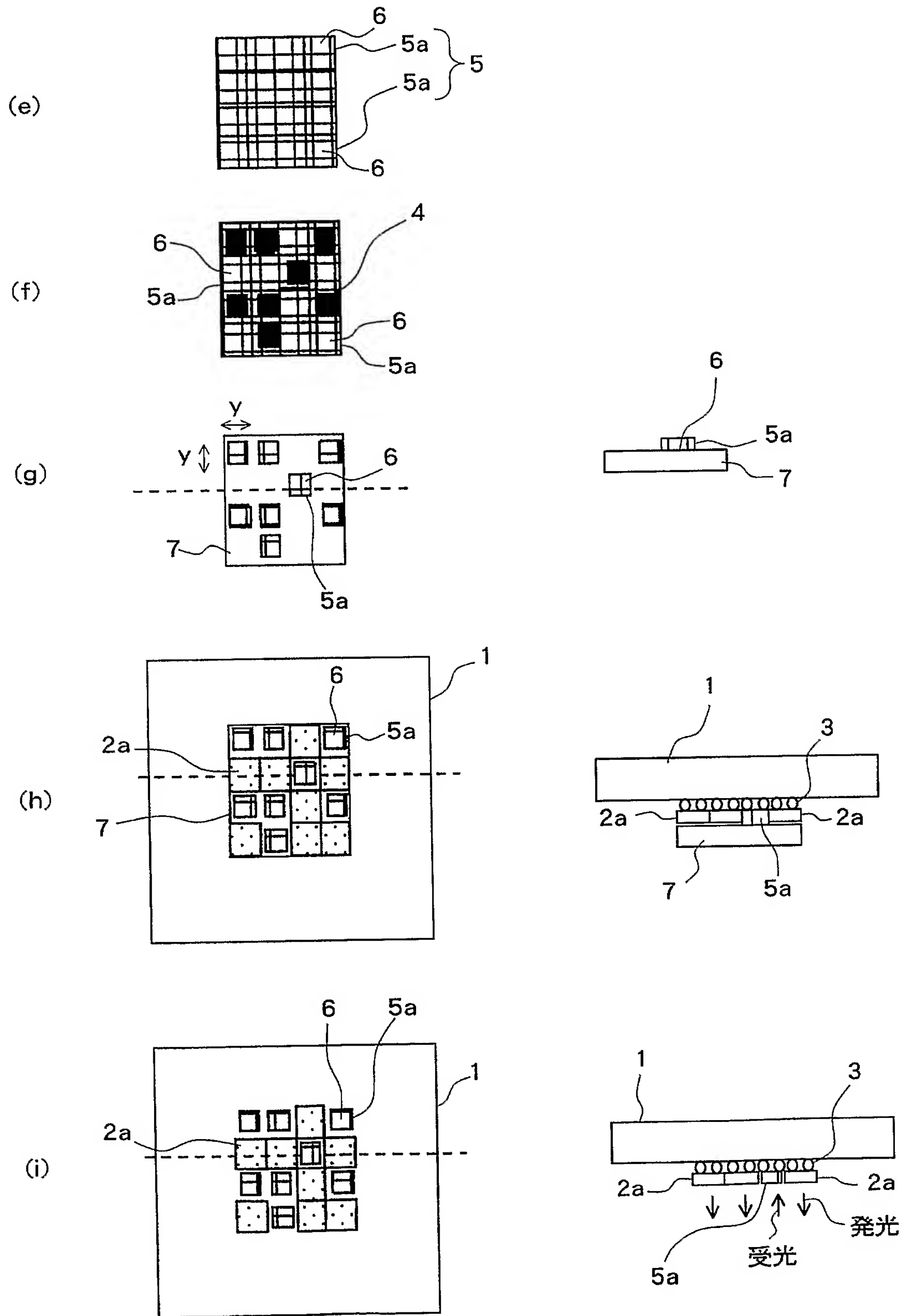
【図 5】



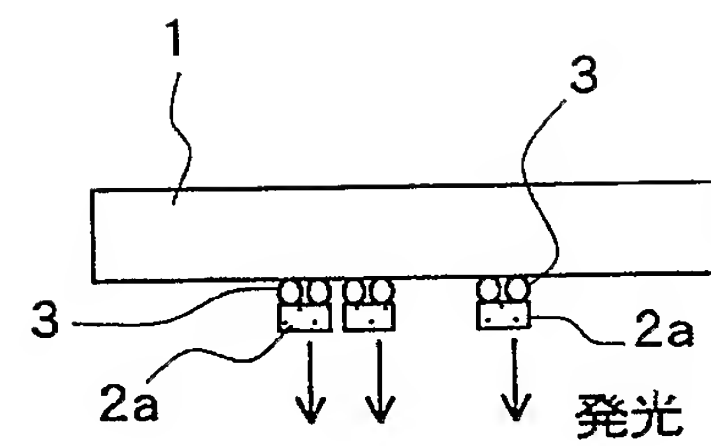
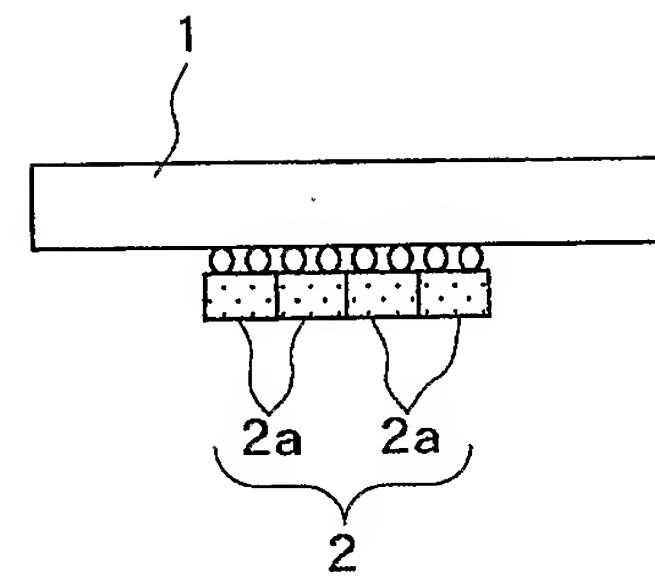
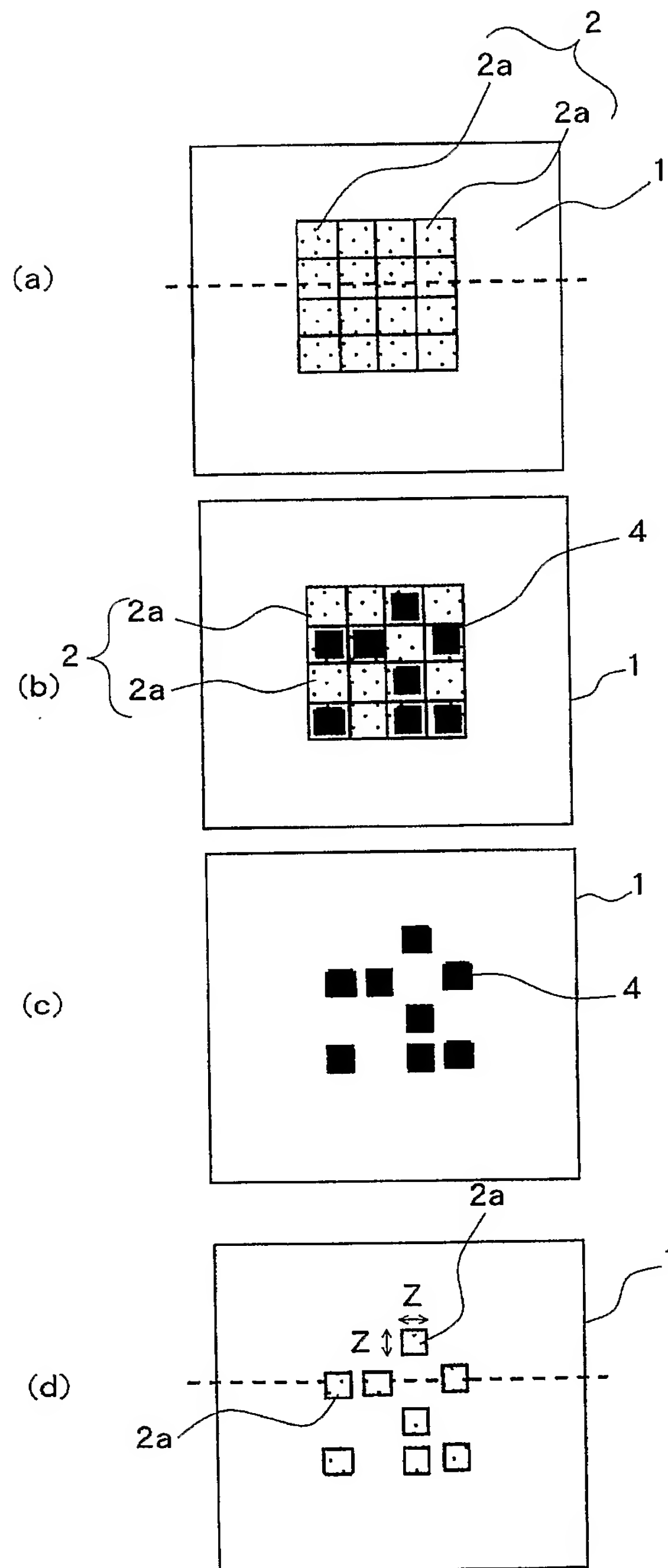
【図 6】



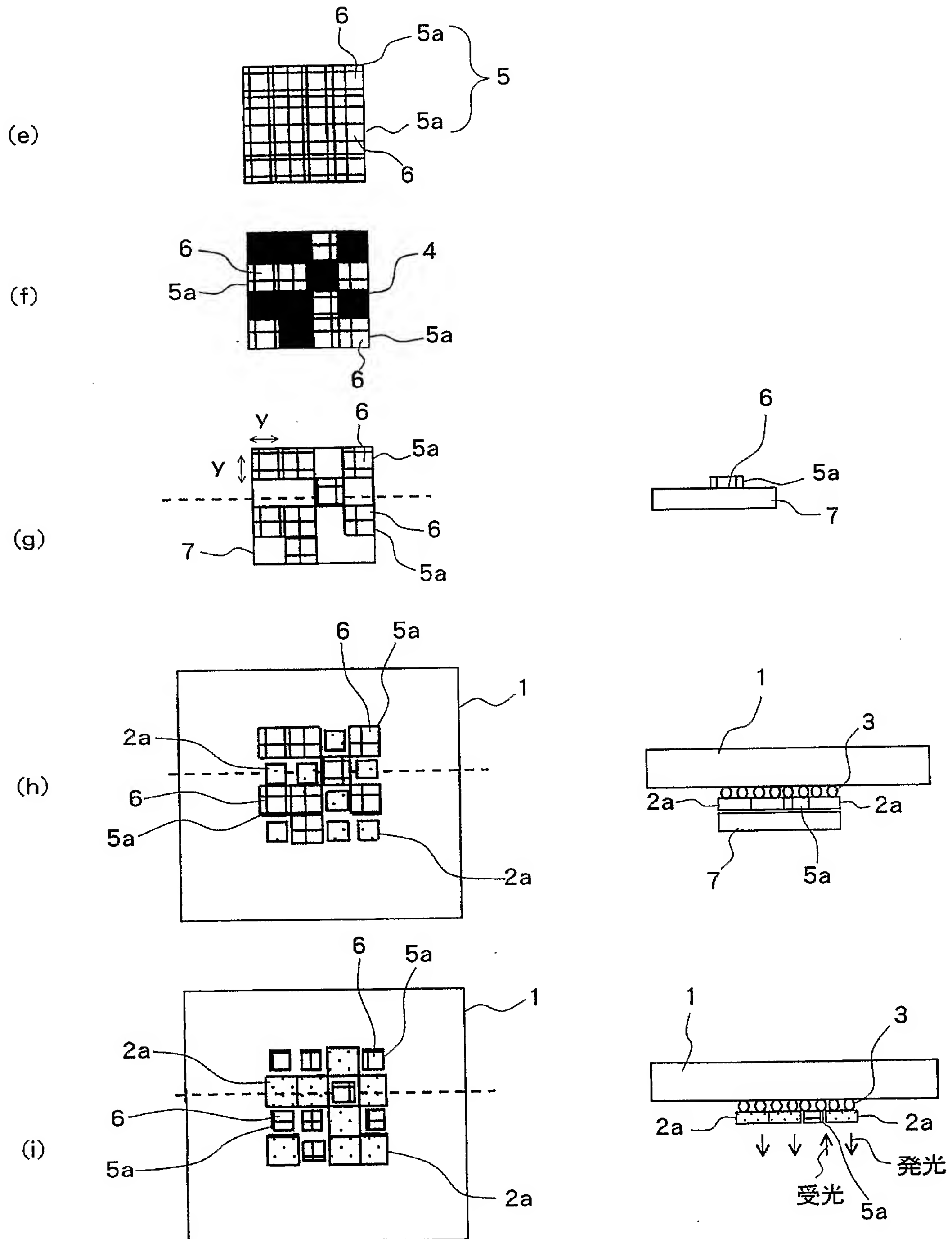
【図 7】



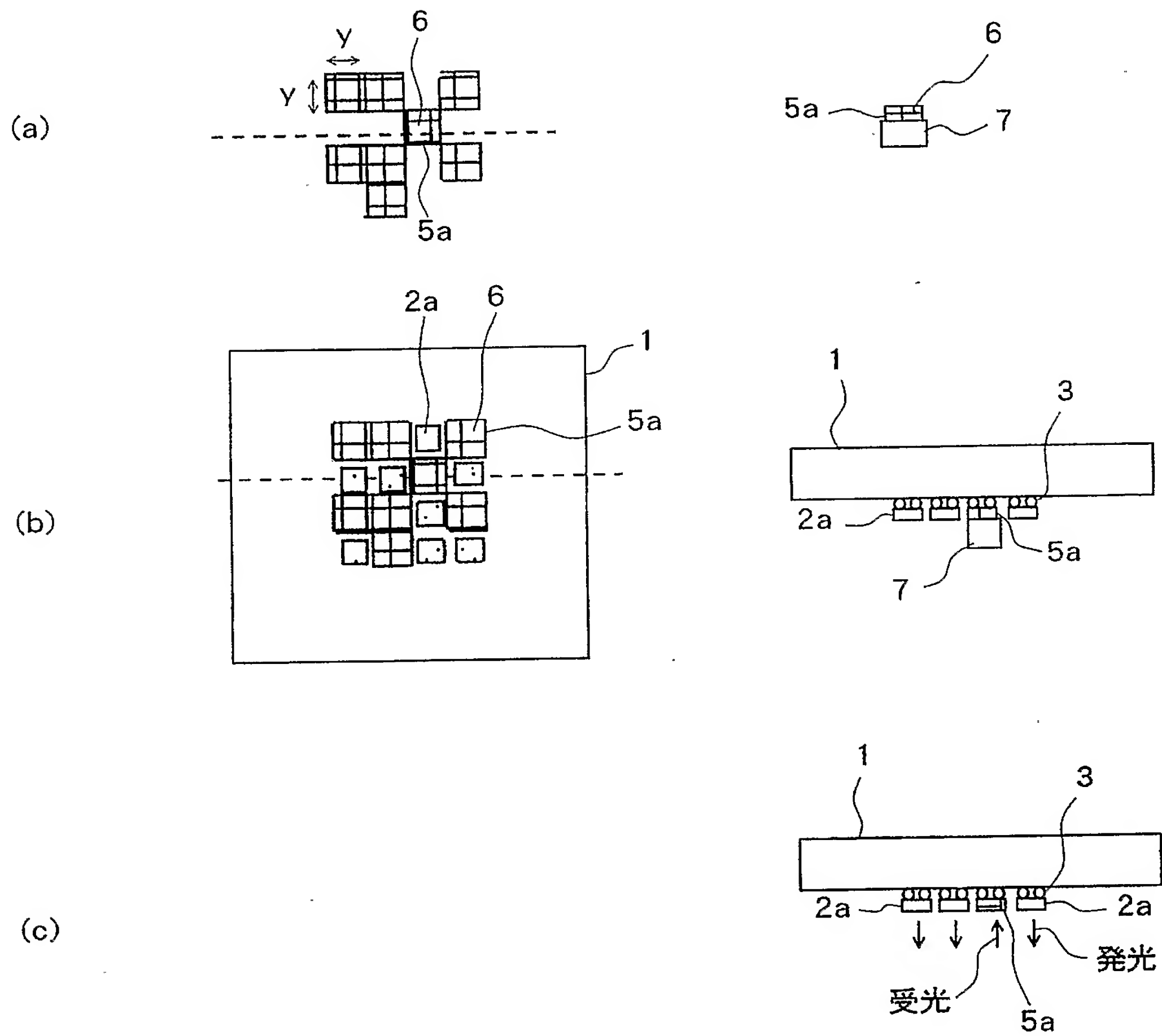
【図 8】



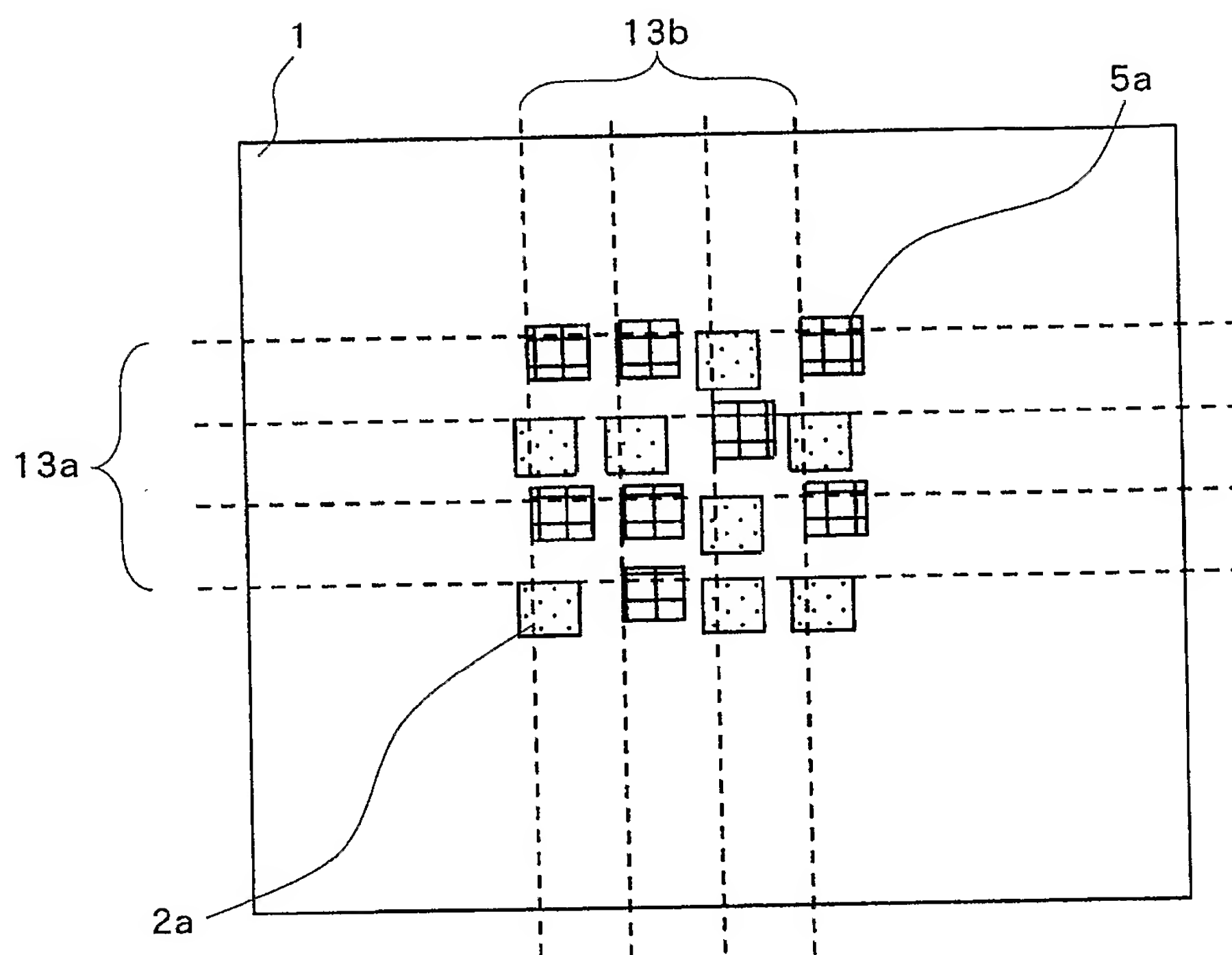
【図 9】



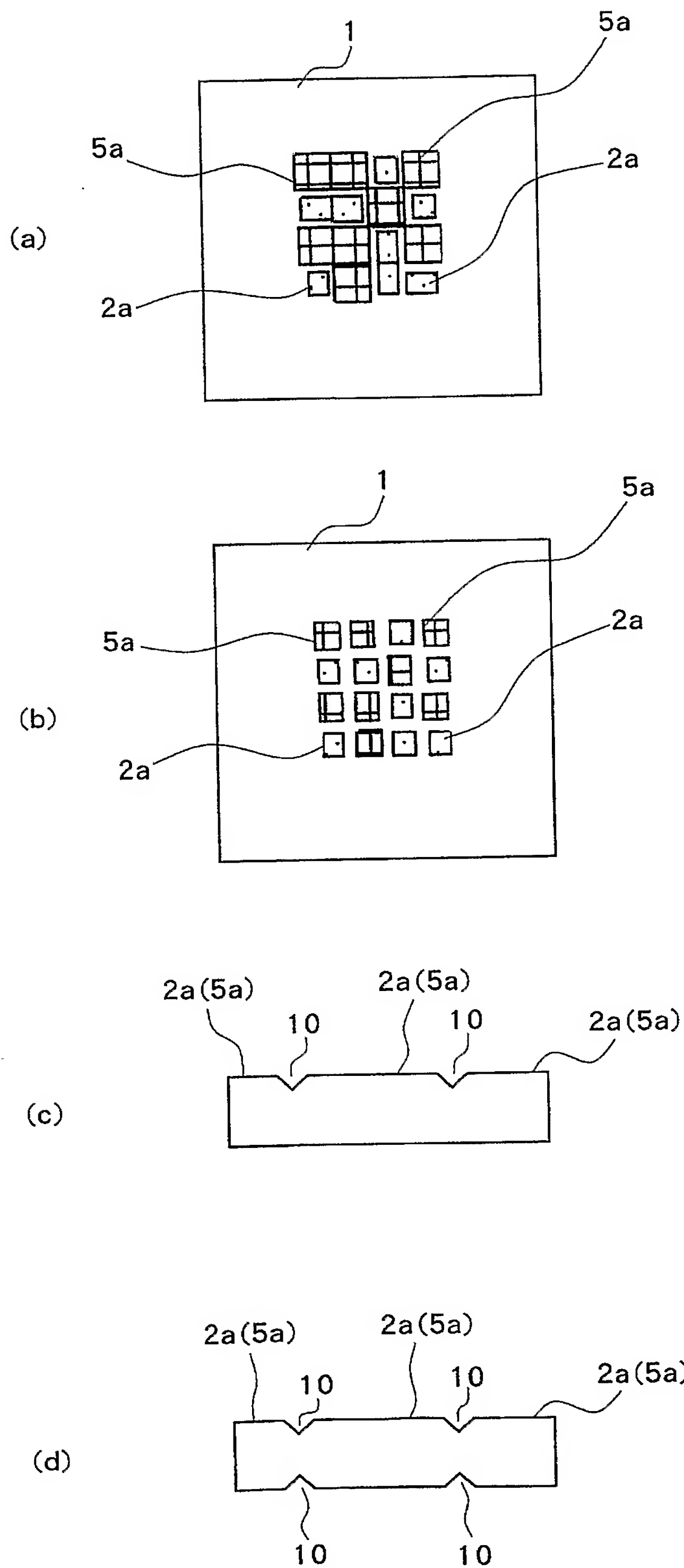
【図 10】



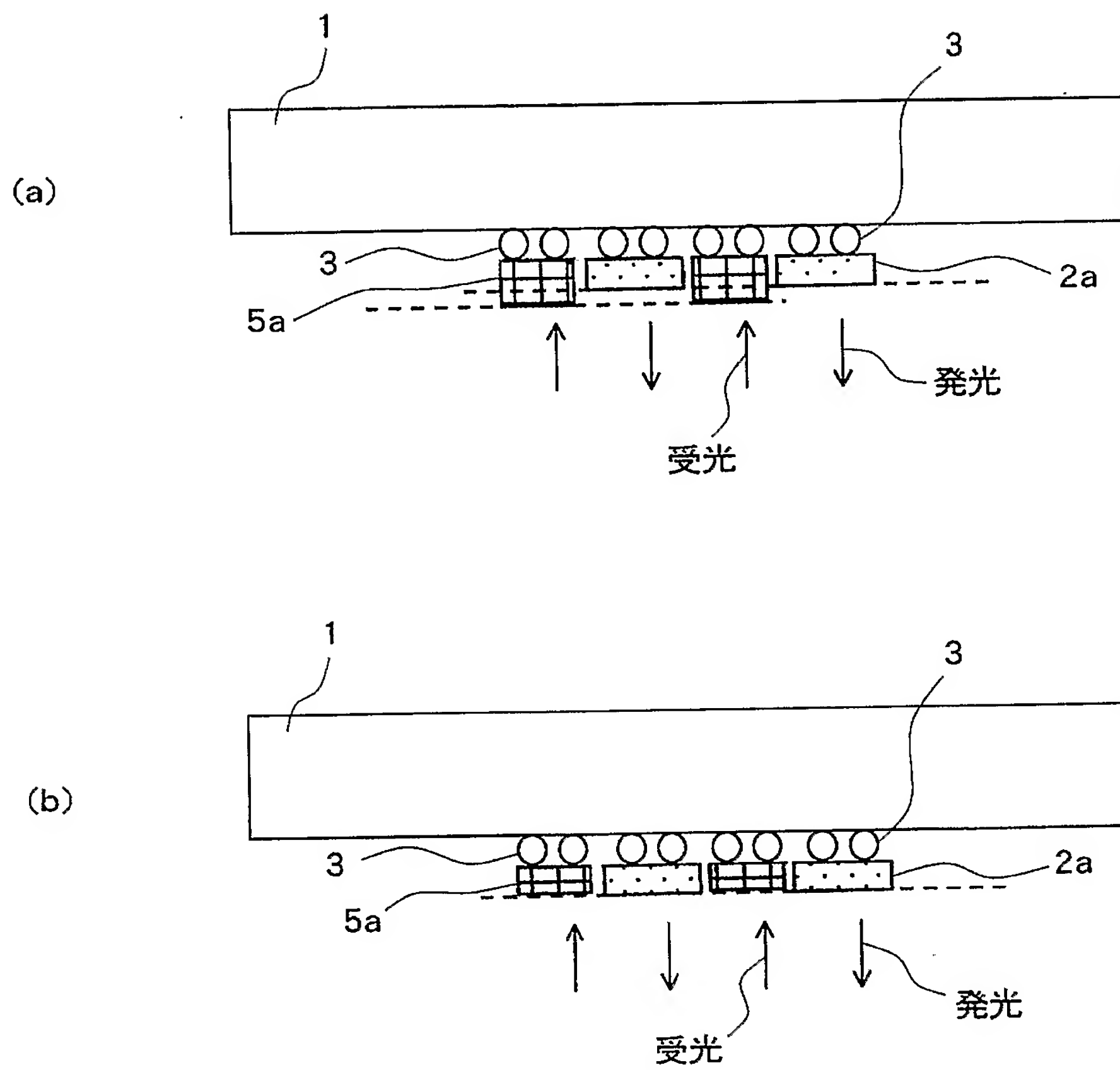
【図 11】



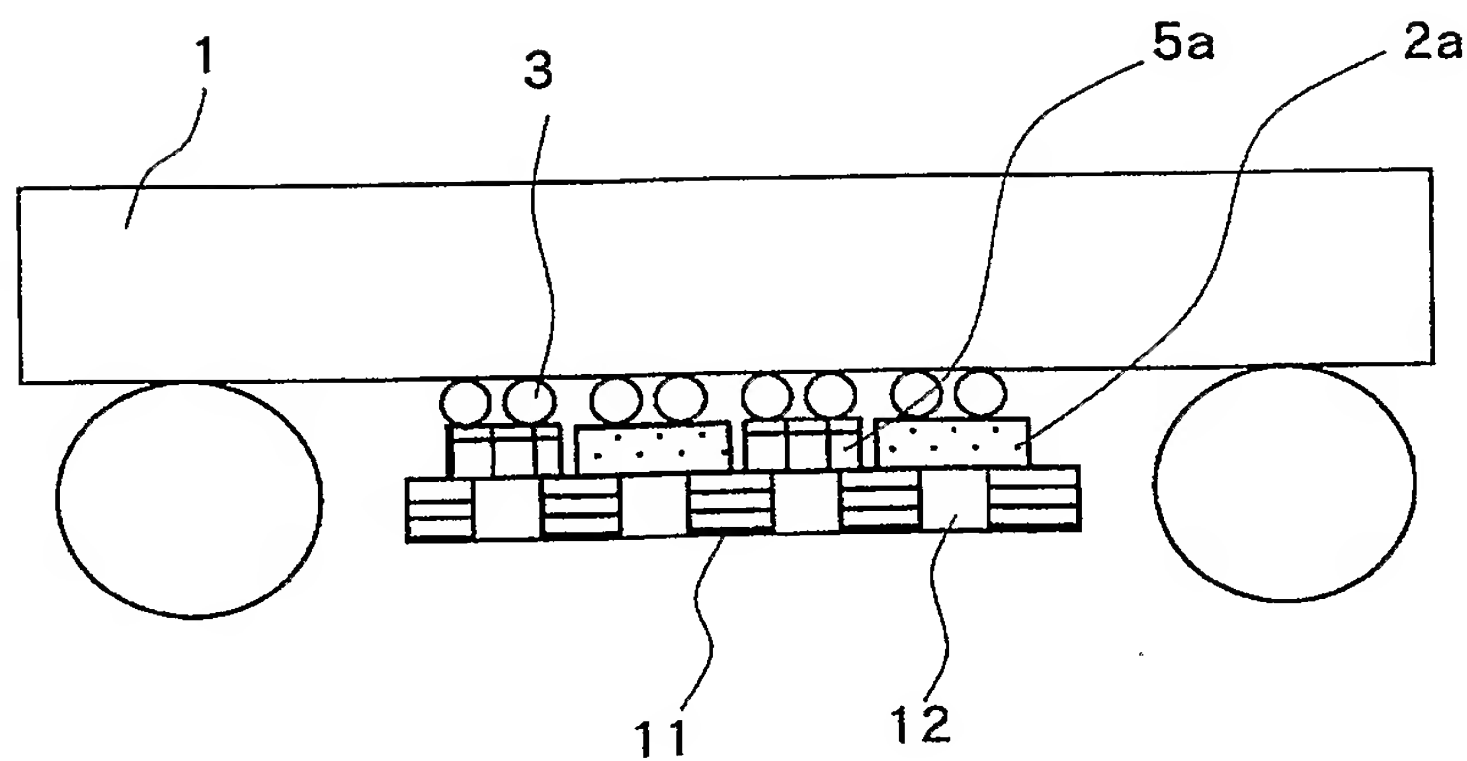
【図 12】



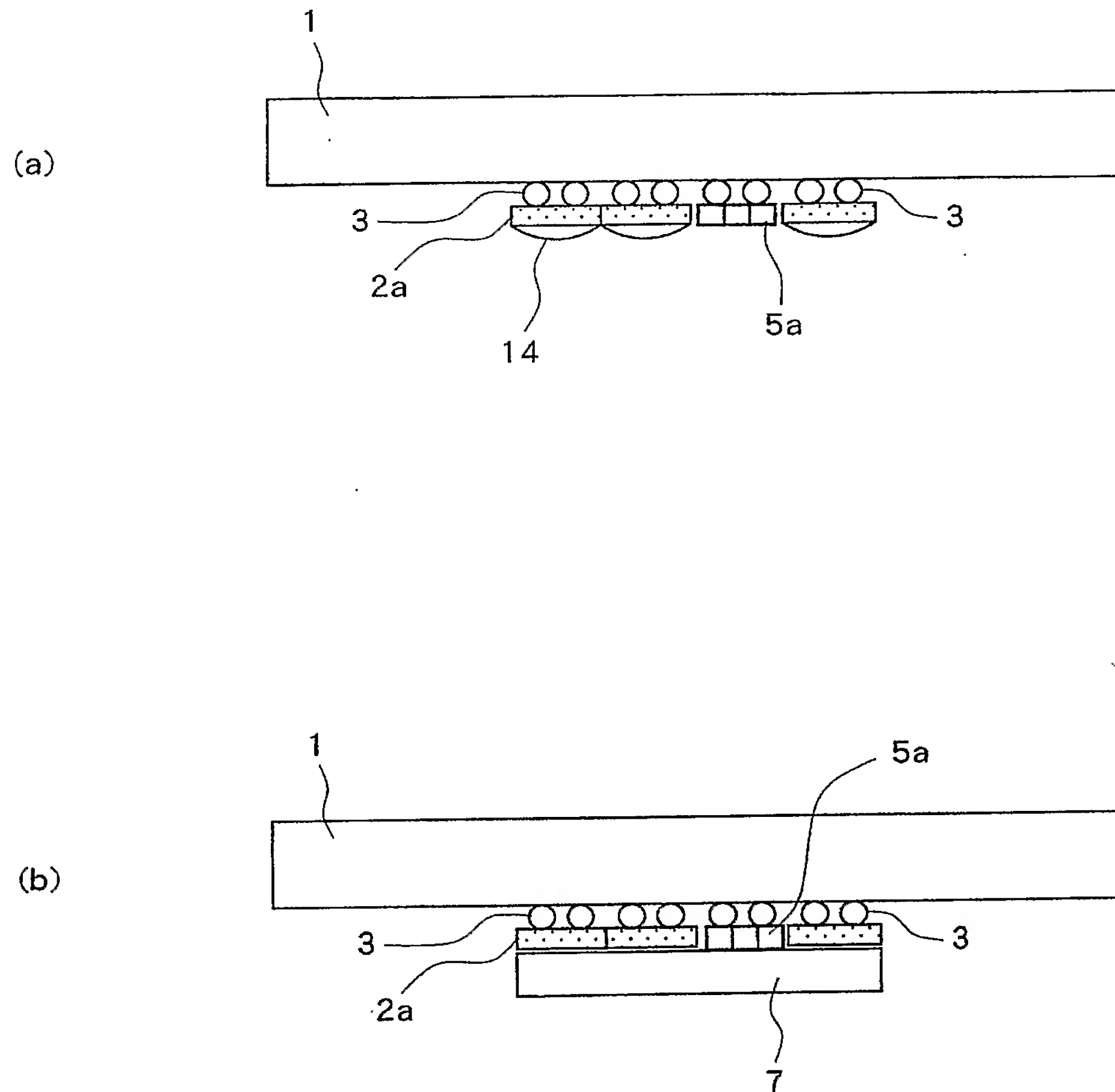
【図 13】



【図 14】

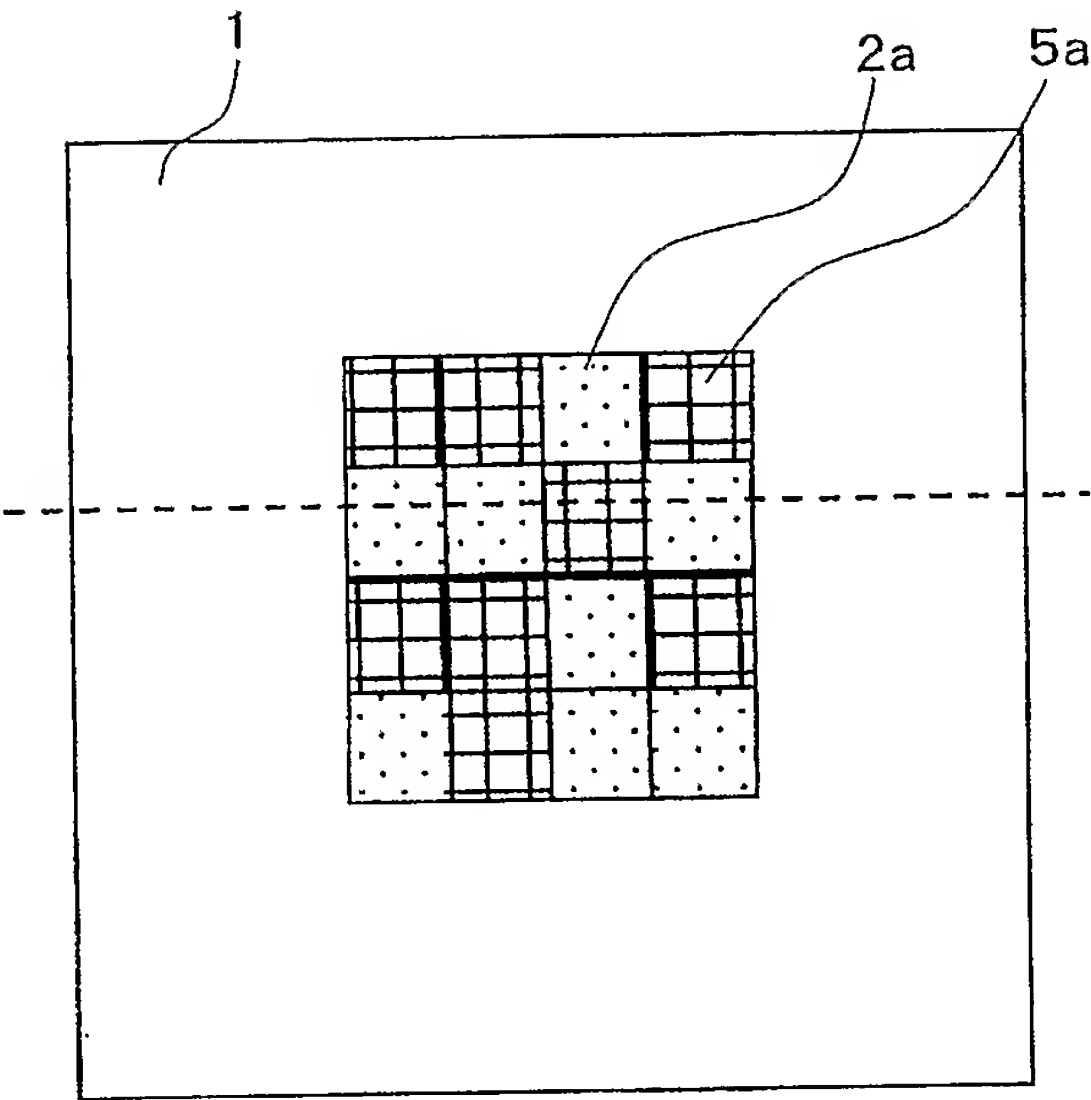


【図 15】

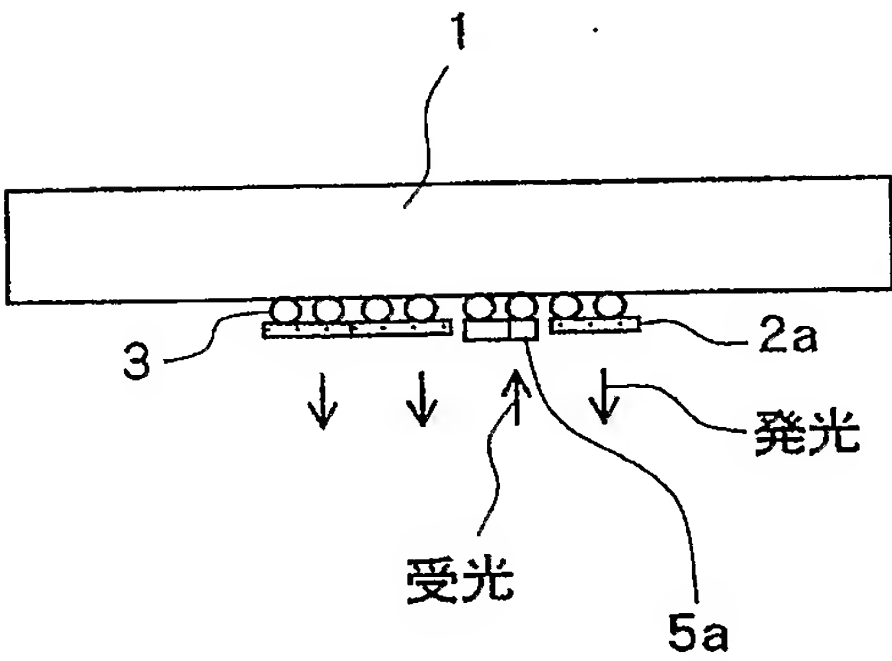


【図 1 6】

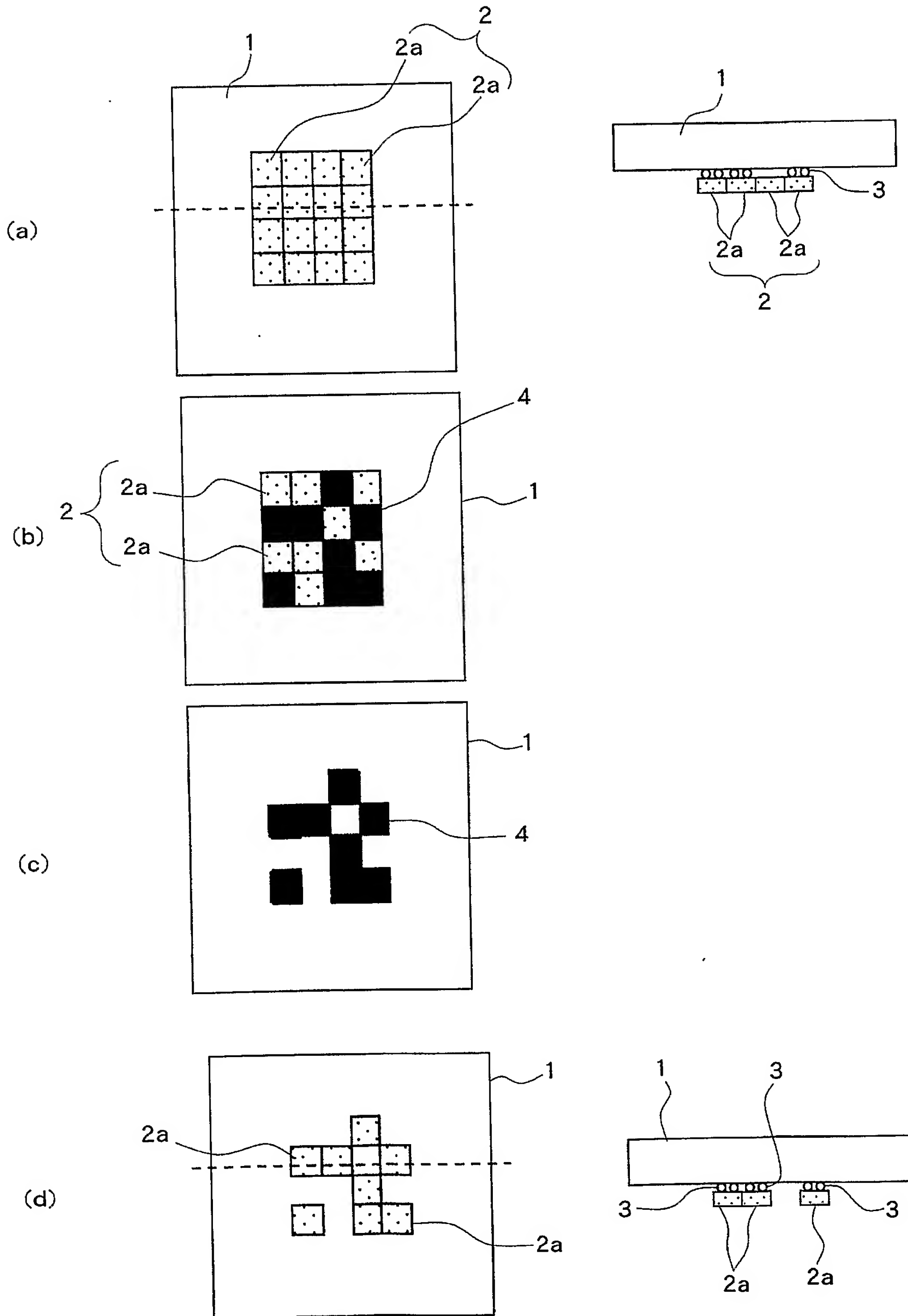
(a)



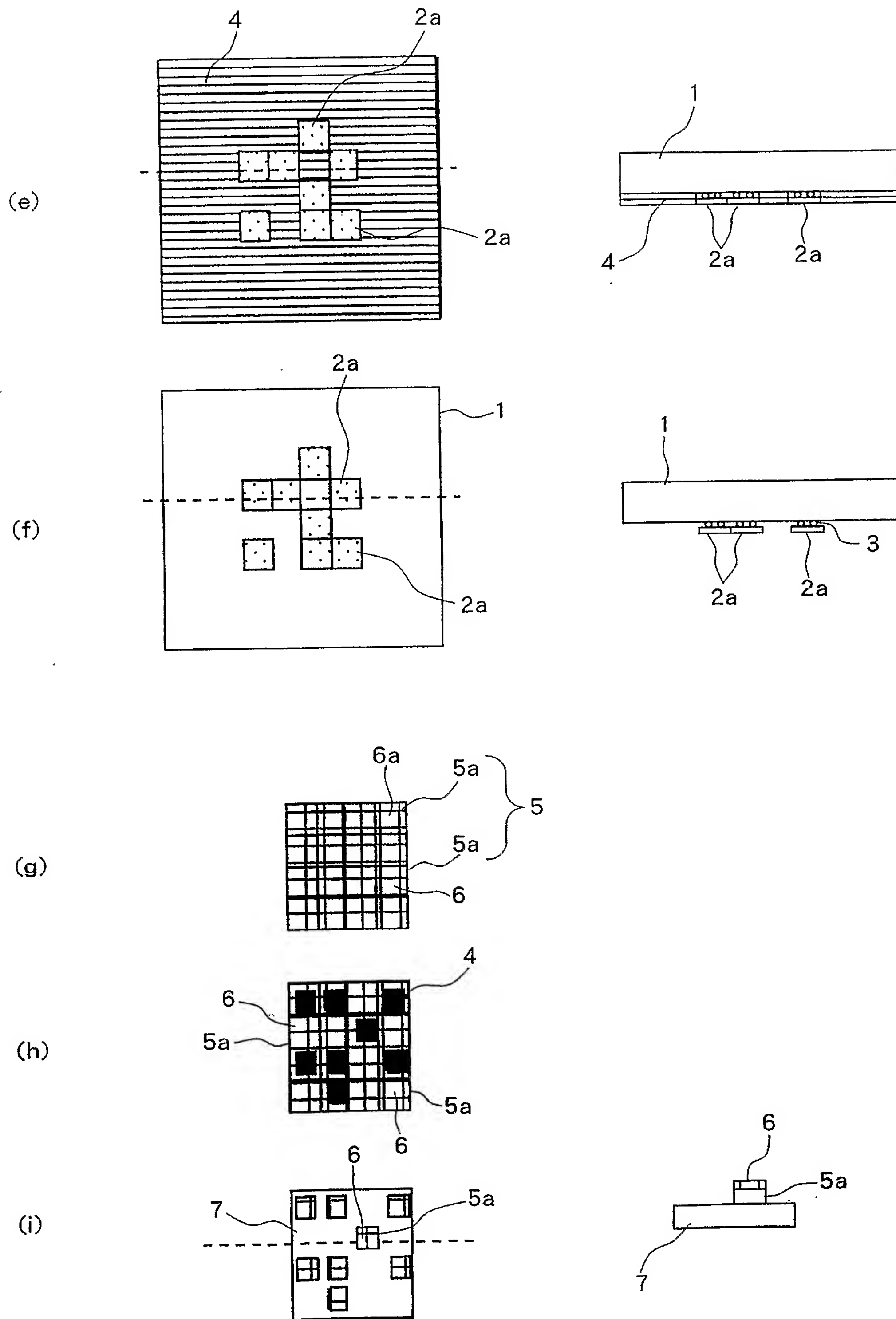
(b)



【図 17】

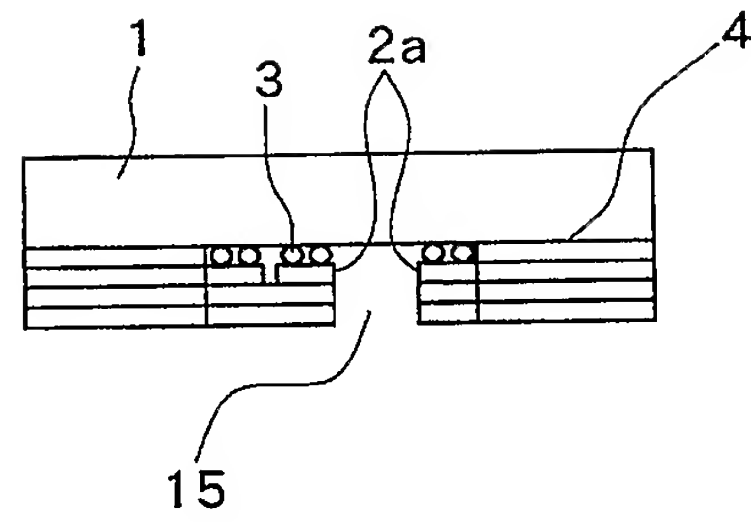


【図 18】

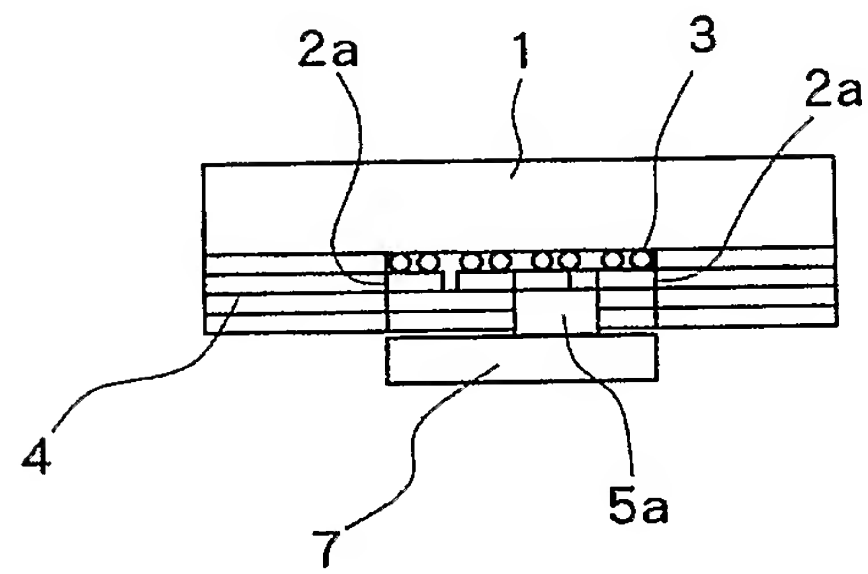


【図 19】

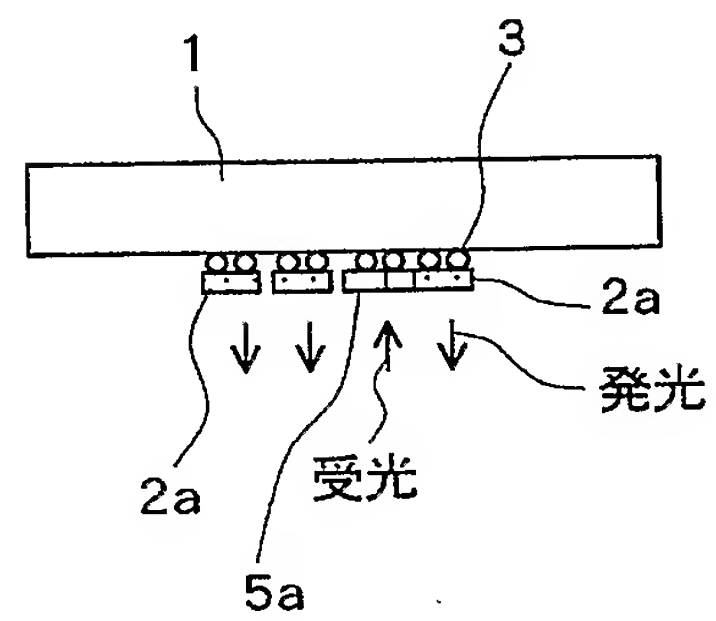
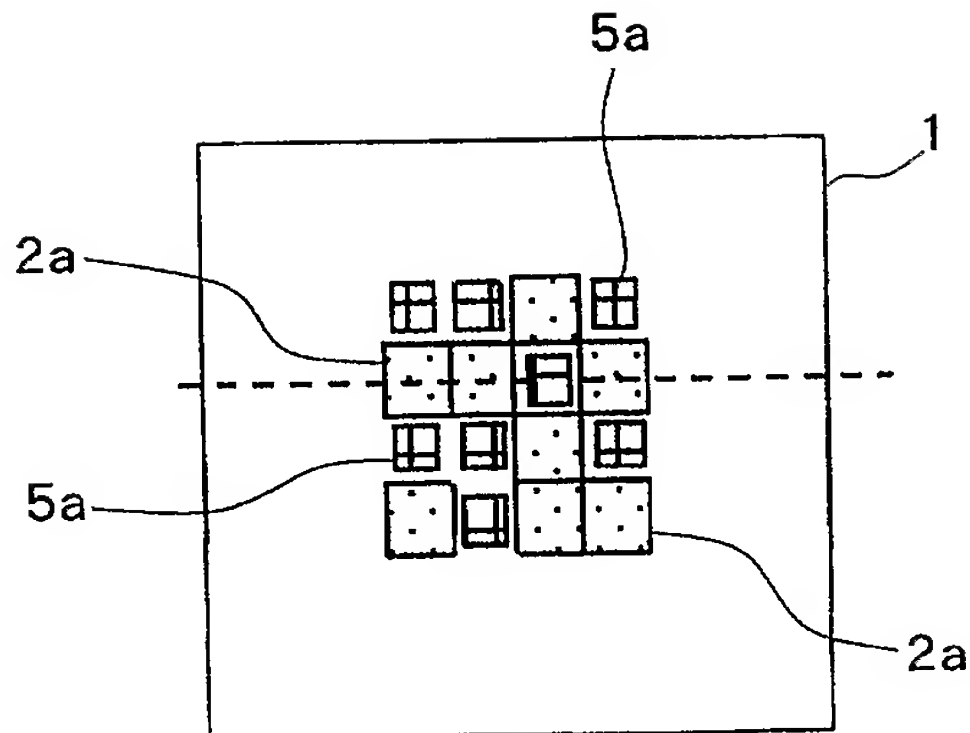
(j)



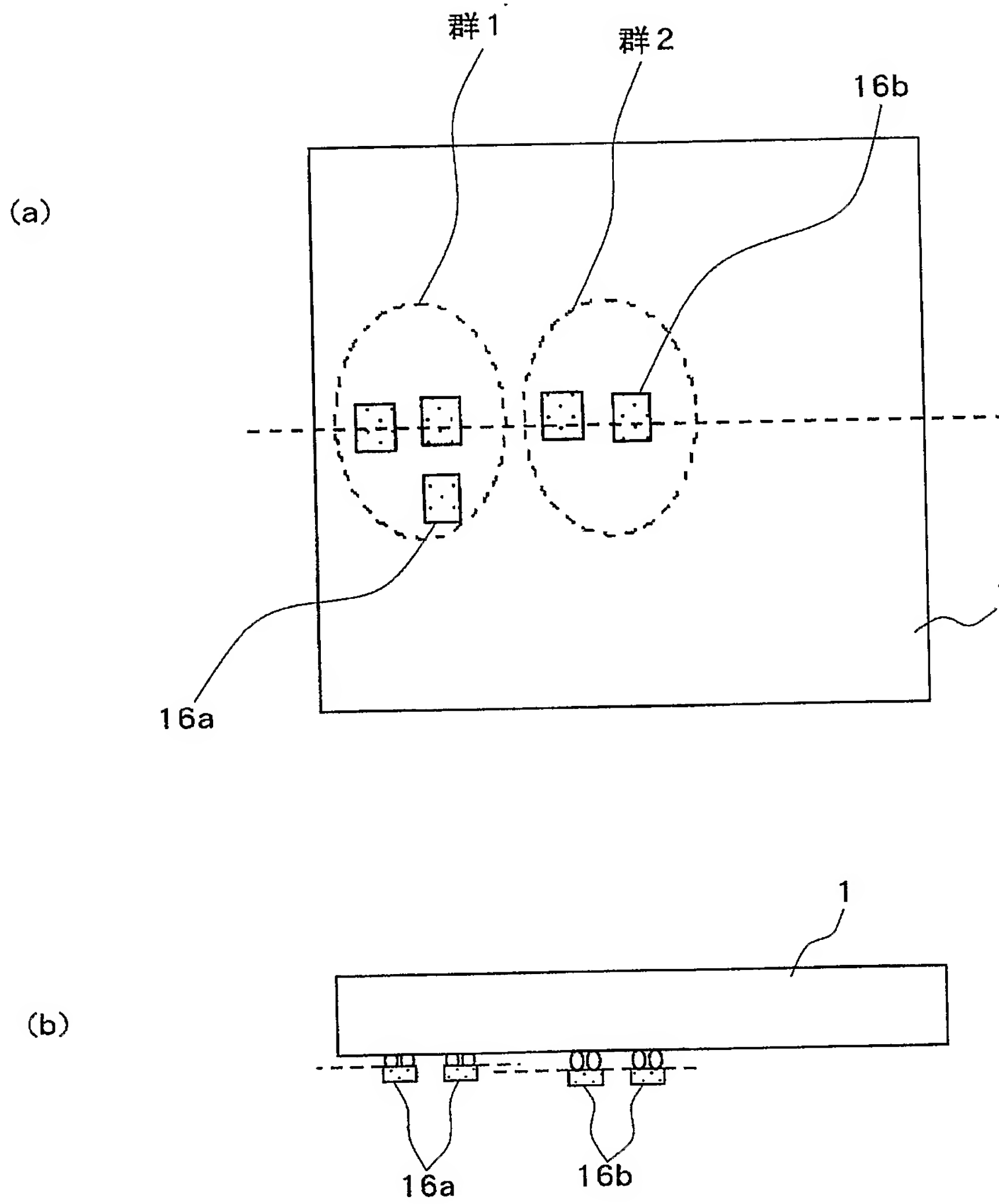
(k)



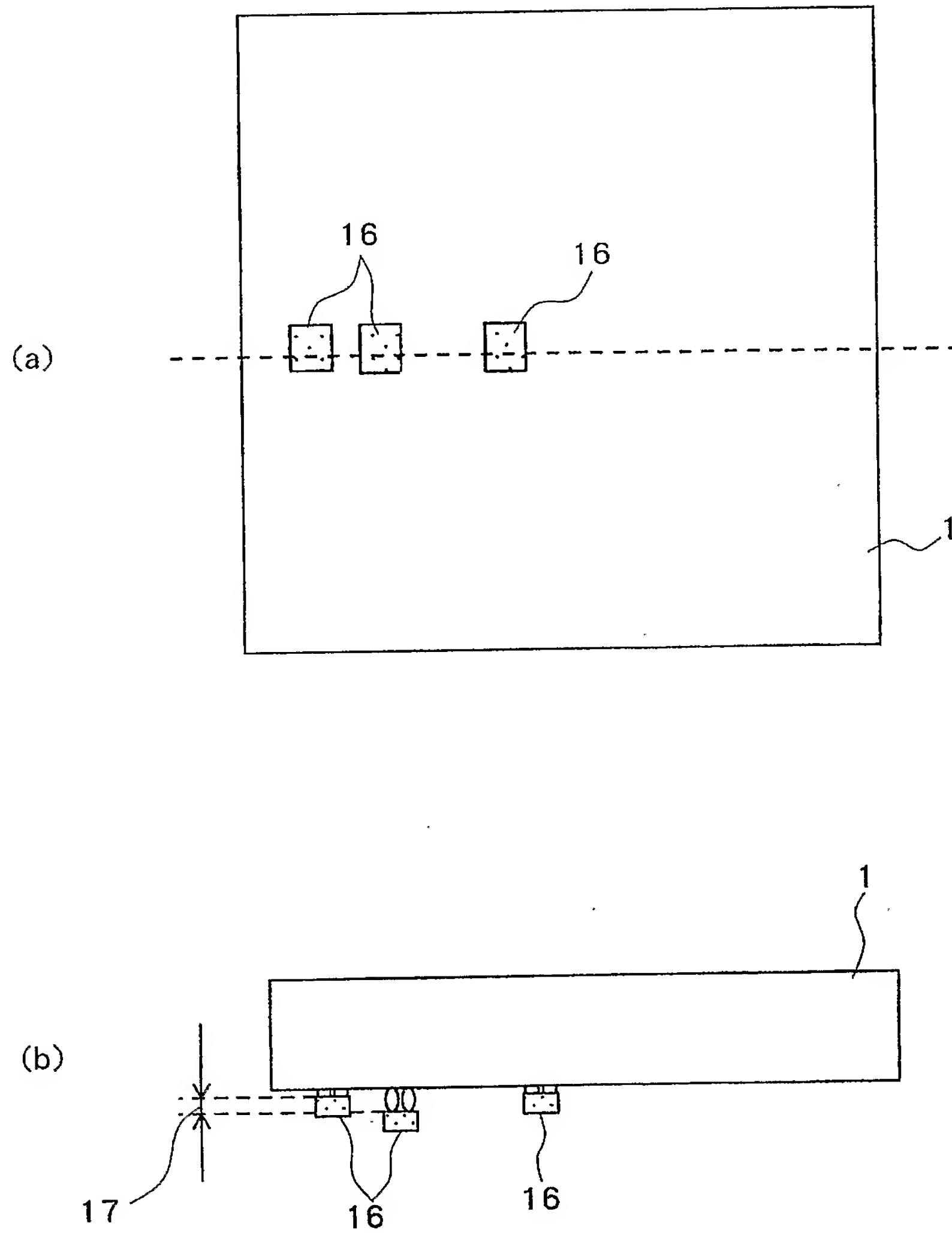
(l)



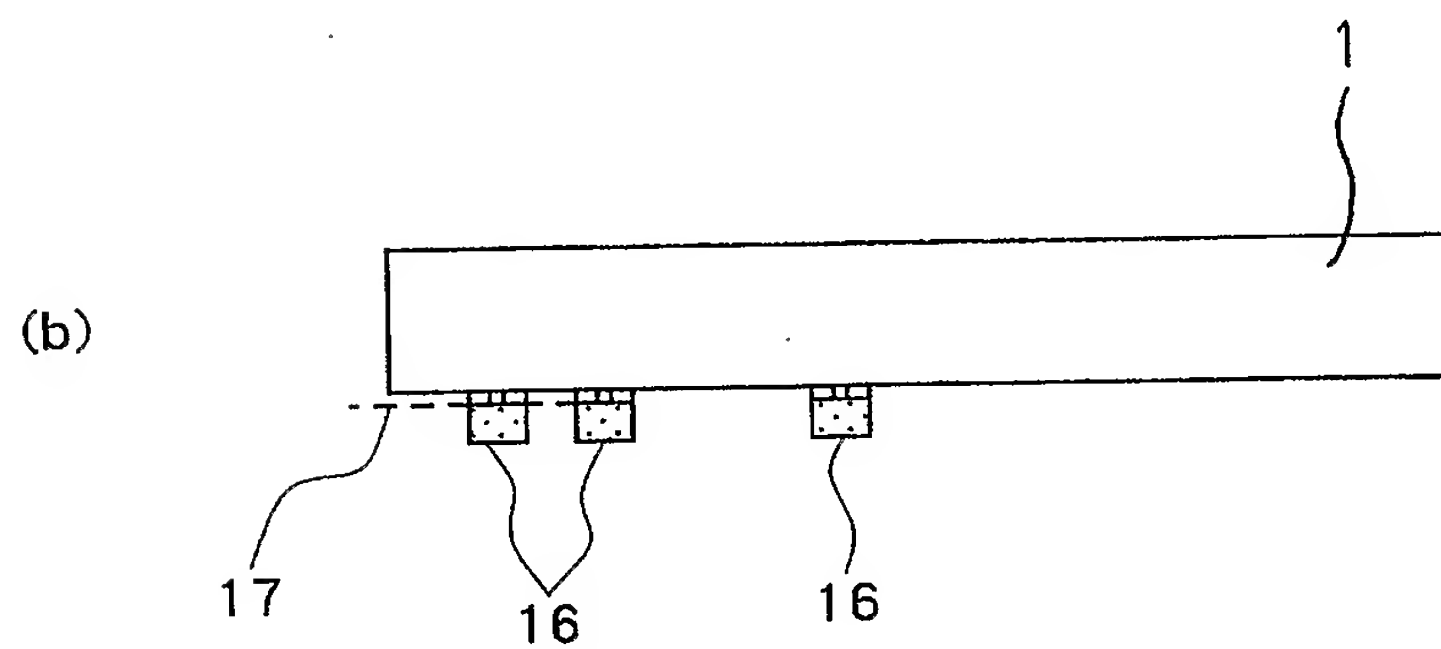
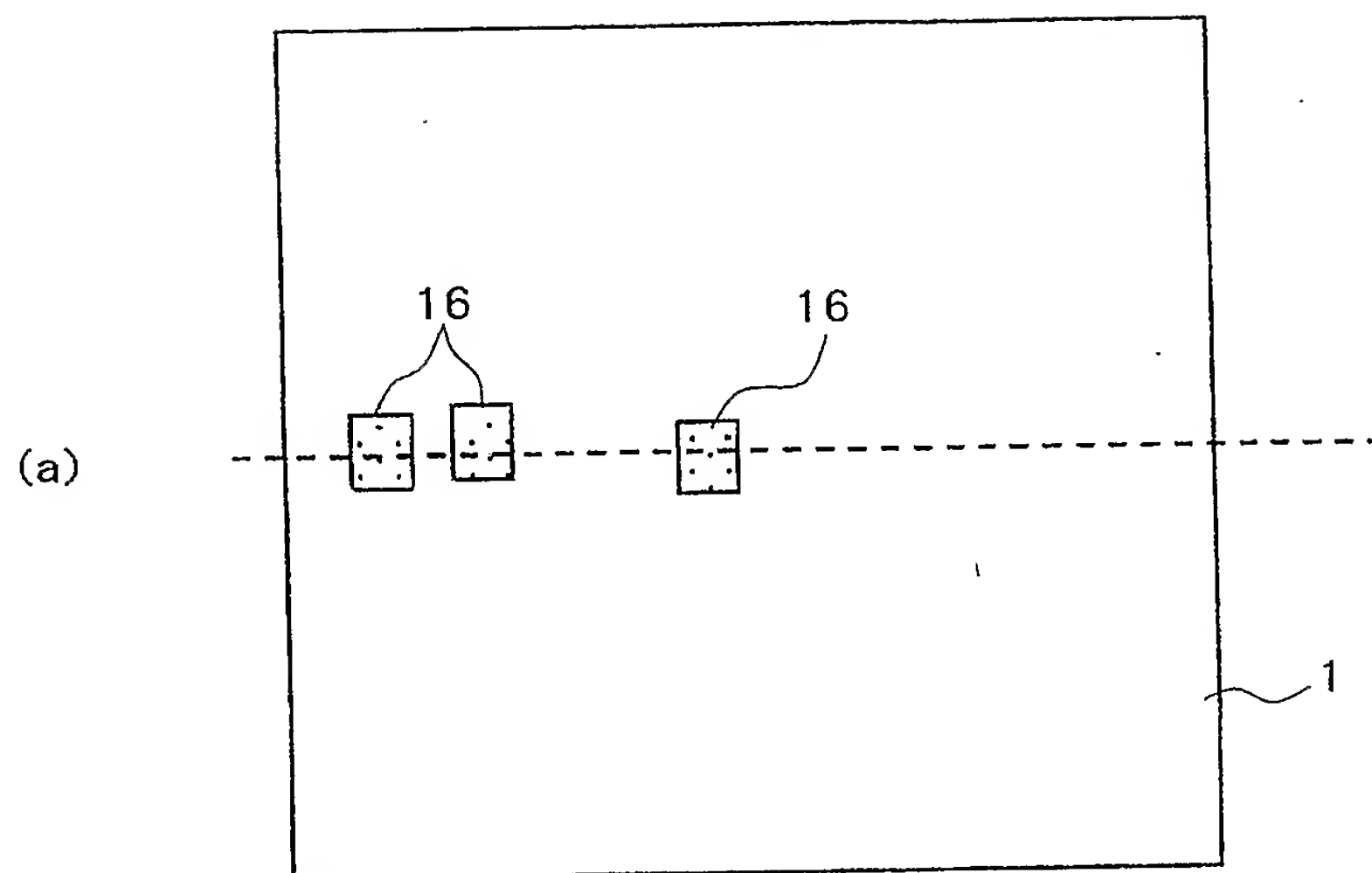
【図 20】



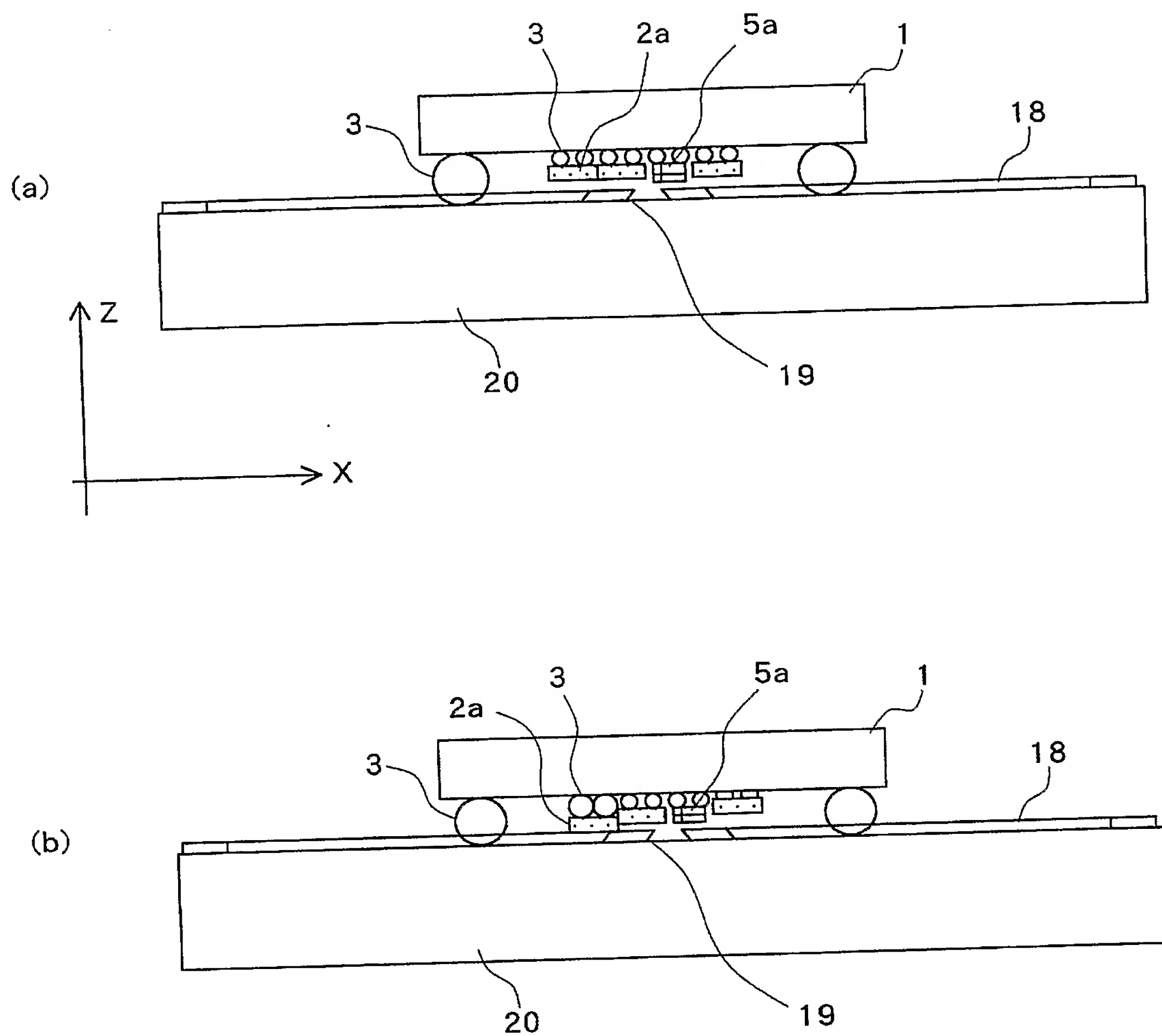
【図 21】



【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 L S I 上にランダムに配置された入出力ポートに一括して光素子配置され、かつ、それら光素子の高さが一定である光素子一体型 L S I を提供する。

【解決手段】 L S I 1 の上に発光素子アレイ 2 を搭載し、搭載された発光素子アレイ 2 を構成する 2 以上の発光素子 2 のうち、必要な発光素子 2 a を残し、不要な発光素子 2 a を除去することによって、L S I 1 にランダムに配置されている複数の出力ポートに発光素子を一括して実装する。

【選択図】 図 2

特願 2 0 0 3 - 4 3 4 0 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更新月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社